



Integrierter MOS-Schaltkreis CM 8001 256 bit statischer RAM

Der Schaltkreis CM 8001 stellt einen statischen Operationspeicher der mit einer Kapazität von 256 bit und der Organisation 256 Worte mit 1 Bit.

- Die Lese-Zugriffzeit t_A ist kleiner 1,5 μ s
- Es besteht volle DIL-/TTL-Kompatibilität
- "Wired OR" - Möglichkeit
- Betriebsverlustleistung typisch 1,5 mW/bit
- Ruheverlustleistung typisch 0,12 mW/bit
- Kapazitätserweiterung mit "chip-select"-Eingang
- volle interne Dekodierung
- Alle Eingänge sind zuverlässig vor zufälligen elektrostatistischen Potentialen geschützt
- Der Schaltkreis CM 8001 ist bezüglich der Hauptkennwerte und der Anschlußbelegung dem Intel 1101 A äquivalent. Einige dynamische Kennwerte sind größer
- Prüfzuverlässigkeit $\lambda_P = 1 \cdot 10^{-5} h^{-1}$.
- Durch Selektion können Schaltkreise mit einer Zugriffszeit kleiner 1 μ s analog Intel 1101 A 1 geliefert werden

Abmessungen:

Der Schaltkreis CM 8001 wird geliefert in einem 16-poligen DIL-Gehäuse mit 7,5 mm Reihenabstand und einen Reihenraster von 2,5 mm.

Absoluter Grenzwert:

Maximaler Spannungsbereich der Speisespannung, bezogen auf

$$U_{SS}, U_D, U_{DD} = -20 \dots + 0,3 \text{ V}$$

Maximaler Spannungsbereich der Eingangsspannung, bezogen auf

$$U_{SS}, U_I = -20 \dots + 0,3 \text{ V}$$

Arbeitstemperaturbereich $A = 0 \dots + 70^\circ \text{ C}$

Lagertemperaturbereich $S = -55 \dots + 125^\circ \text{ C}$

Maximale Verlustleistung $P_{tot} = 1 \text{ W}$

bei $\vartheta_A = 25^\circ \text{ C}$ (Keramikgehäuse)

Elektrische Grundparameter:

Einstellbedingungen

$$\vartheta_A = 0 \dots 70^\circ \text{ C} \quad U_{SS} = +50 \begin{matrix} +0,25 \text{ V} \\ -0,25 \text{ V} \end{matrix} \quad U_D = -9 \text{ V} \begin{matrix} +0,45 \text{ V} \\ -0,45 \text{ V} \end{matrix}$$

$$U_{DD} = -9 \begin{matrix} +0,45 \text{ V} \\ -0,45 \text{ V} \end{matrix}$$

Parameter	Min.	Typ.	Max.	Einheit	Bedingungen
U_{IH} Eingangsspannung "H"	-2	0,3		V	bezogen auf U_{SS}
U_{IL} Eingangsspannung "L"	-15	-4,35		V	" " U_{SS}
U_{OH} Ausgangsspannung "H"	-1			V	$I_O = 0 \text{ mA}$ U_{SS}
U_{OL} Ausgangsspannung "L"			-8	V	bezogen auf U_{SS} $I_O = 0 \text{ mA}$
U_{OH} Ausgangsspannung "H"	+3,5			V	$-I_{OH} = 100 \mu\text{A}$
U_{OL} Ausgangsspannung "L"		+0,45		V	$I_{OL} = 2 \text{ mA}$
$-I_{IH}$ Eingangsreststrom		0,5		μA	$U_I = 0 \text{ V}$
$-I_{OH}$ Ausgangsreststrom		0,5		μA	$U_O = 0 \text{ V}$ $U_{OS} = U_{SS} - 2 \text{ V}$
$-I_{DD}$ Betriebsstromaufnahme	15	19		mA	$I_{OL} = 0 \text{ mA}$, $\vartheta_A = 25^\circ \text{ C}$
$-I_D$ "	10	18		mA	kontinuierliche Arbeitsweise
$-I_{DD}$ "		25		mA	$I_{OL} = 0 \text{ mA}$, $A = 0^\circ \text{ C}$
$-I_D$ "		24		mA	kontinuierliche Arbeitsweise
$-U_{DD}$ Versorgungsspannung für Datenerhalt	6			V	U_{SS} ist Bezugspunkt
$-I_{DD}$ Ruhestromaufnahme	6	9		mA	$\vartheta_A = 25^\circ \text{ C}$, $I_{OL} = 0 \text{ mA}$ $U_{DD} = U_{SS} - 6 \text{ V}$
$-I_{DD}$ Ruhestromaufnahme	7	10		mA	$\vartheta_A = 0^\circ \text{ C}$, $I_{OL} = 0 \text{ mA}$ $U_{DD} = U_{SS} - 6 \text{ V}$
$-I_{OC}$ Ausgangsclampstrom	5	13		mA	$U_{DC} = -1 \text{ V}$
$+I_{OH}$ Ausgangsquellenstrom	3	6		mA	$\vartheta_A = 25^\circ \text{ C}$, $U_O = 0 \text{ V}$
$+I_{OH}$ "	2	4,5		mA	$\vartheta_A = 70^\circ \text{ C}$, $U_O = 0 \text{ V}$
C_I Eingangskapazität	5	10		pF	$U_I = U_{SS}$, $f = 1 \text{ MHz}$ $\vartheta_A = 25^\circ \text{ C}$
C_O Ausgangskapazität	5	10		pF	$U_O = U_{SS}$, $f = 1 \text{ MHz}$ $\vartheta_A = 25^\circ \text{ C}$
C_S Stromversorgungskapazität von U_D	30	35		pF	$U_S = U_{SS}$, $f = 1 \text{ MHz}$ $\vartheta_A = 25^\circ \text{ C}$
C_L Lastkapazität der Datenausgänge		10		nF	
$-I_I$ Eingangsstrom		10		μA	$-U_I = 15 \text{ V}$ bezogen auf U_{SS}

Dynamische Parameter

Einstellbedingungen:

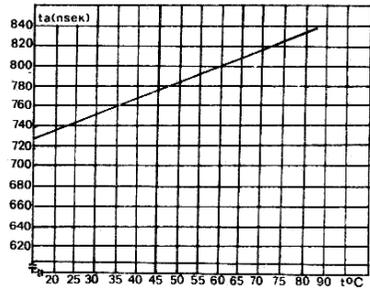
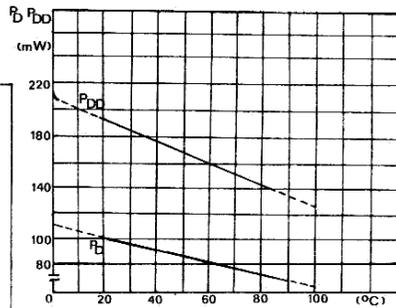
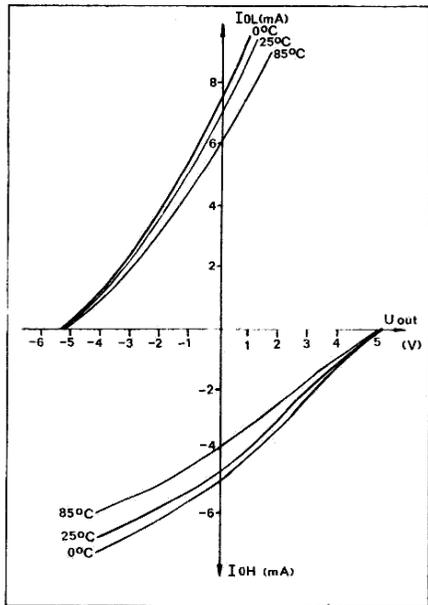
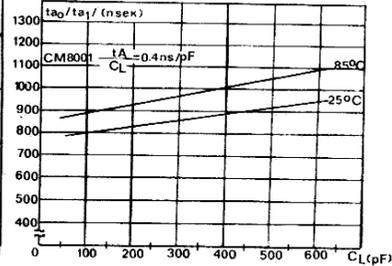
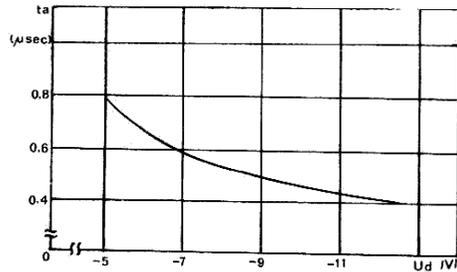
$$A = 0 \dots + 70^\circ \text{ C}, \quad U_{SS} = +5 \begin{matrix} +0,25 \text{ V} \\ -0,25 \text{ V} \end{matrix} \quad U_D = -9 \begin{matrix} +0,45 \text{ V} \\ -0,45 \text{ V} \end{matrix} \quad U_{DD} = -9 \begin{matrix} +0,45 \text{ V} \\ -0,45 \text{ V} \end{matrix}$$

Lese-Zyklus

t_{RC} Lese-Zyklus	1,5			μs
t_{AC} Verzögerungszeit Adresse- Chip select		1,1		μs
t_A Zugriffszeit		1,5		μs

Schreib-Zyklus

	Min.	Typ.	Max.	Einheit
t_{WC} Schreib-Zyklus	0,9			μs
t_{WD} Verzögerung des Schreibimpulses	0,4			μs
t_{WP} Schreibimpulsbreite	0,4			μs
t_{DH} Daten-Haltezeit	0,1			μs
t_{DS} Schreibzeit	0,4			μs

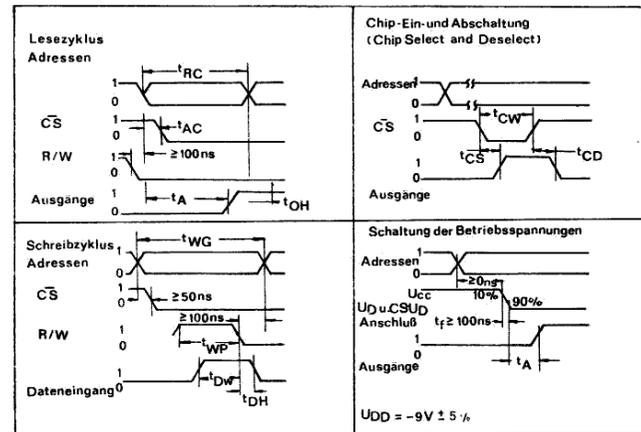
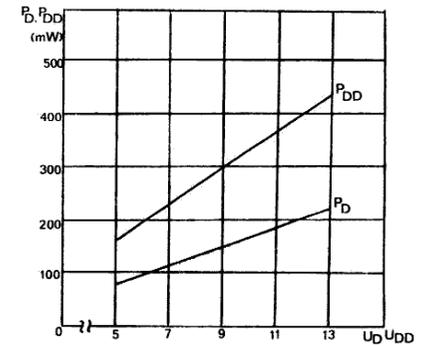
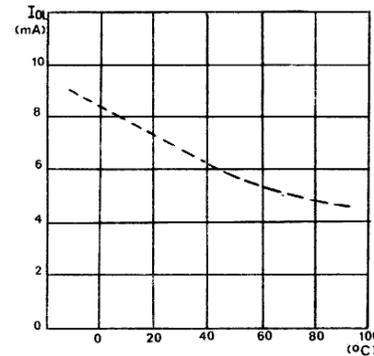


Chip-Ein- und Abschaltung	Min.	Typ	Max.	Einheit
t_{CW} Chip-Einschaltung Pulsbreite U_{i+}				µs
t_{CS} Zugriffszeit bezüglich Chip-Einschaltung		0,4		µs
t_{OD} Abschaltverzögerung der Ausgänge		0,4		µs

Testbedingungen

Eingangsimpulsamplituden: 0 V und 5 V
 Eingangsimpuls-Anstiegs- und Abfallzeiten: 10 ns
 Referenzpegel für Zeitmessungen: 1,5 V
 Ausgangslast ist 1 TTL-Gatter und $C_L = 20$ pF
 Die Messungen wurden am Ausgang eines TTL-Gatters durchgeführt ($t_{PD} = 40$ ns).

Taktprogramme und Kennlinien:
 siehe Blatt 5 ... 9 der Anlage 1



KOMBINAT
VEB FUNKWERK ERFURT