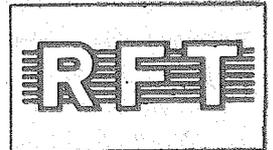


# Information



## DL 8127 D

1/87 (10)

vorläufige technische Daten

Hersteller: VEB Halbleiterwerk Frankfurt (Oder)

### Systemtaktgenerator DL 8127 D

Gehäuse: 24 poliges DIL-Plastgehäuse

Bauform: 21.3.20.2.24 nach TGL 26713, Rastermaß: 2,54 mm

Masse:  $\approx 3$  g

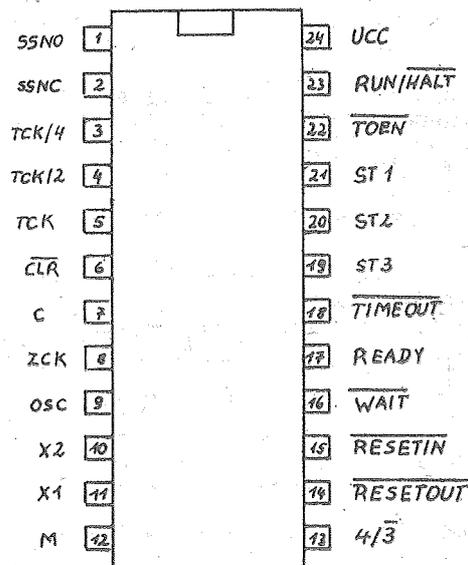


Bild 1: Anschlußbelegung

## Funktionsbeschreibung

Der DL 8127 D arbeitet als Systemtaktgenerator und enthält neben dem Taktoszillator die erforderlichen Frequenzteiler und Takttreiber zur Ansteuerung moderner 8- und 16-Bit-Mikroprozessorsysteme. Zusätzlich zu einem speziellen Ausgangstreiber (ZCK, MOS-Pegel) für die CPU ist ein TTL-Oszillatorkausgang (OSC) für die dynamische Speichersteuerung vorgesehen. Der Taktoszillator ist so konstruiert, daß er sowohl mit einem Quarz, als auch mit einem externen TTL-Signal (auf X1) arbeiten kann. Der DL 8127 D besitzt einen umschaltbaren Teiler zur Bereitstellung des CPU-Taktes (ZCK).

Zusätzliche Teiler erzeugen synchrone TTL-Taktsignale mit der viertel, der halben und der ganzen Frequenz des CPU-Taktes (TCK/4, TCK/2, TCK). Der Eingang  $4/3$  steuert sowohl das Teil- als auch das Tastverhältnis. Ein interner Pull-up-Widerstand setzt den offenen Eingang auf High. In dieser Betriebsart beträgt das Teilverhältnis 4, bei einem Tastverhältnis von 1:2. Der CPU-Takt (ZCK) und der TTL-Takt (TCK) sind gleichphasig.

Ein Low am Eingang  $4/3$  bewirkt ein Teilverhältnis von 3 bei einem Tastverhältnis von 1:3 und Negation des CPU-Taktes (ZCK) gegenüber dem TTL-Takt an TCK. Die Takttreiber sind löscherbar, um die Synchronisation aller Taktausgänge zu ermöglichen (TCK's=HIGH, ZCK=HIGH oder LOW entsprechend Pegel an  $4/3$ ). Die Steuerfunktionen umfassen RESET, RUN/HALT, SINGLE-STEP, READY und einen READY-TIMEOUT-Zähler, der die WAIT-Forderung eines externen Gerätes auf 15 Taktzyklen begrenzt. Der WAIT-Eingang der CPU wird von RUN/HALT, SINGLE-STEP (SSNO, SSNC), STATUS (ST1 ... ST3) und READY gesteuert.

Wenn RUN/HALT = LOW ist, setzt der DL 8127 D den WAIT-Ausgang auf LOW und veranlaßt die CPU, Wartezustände einzunehmen. Mit den SINGLE-STEP-Eingängen (SSNO, SSNC) können die Wartezustände für jeweils eine CPU-Taktperiode unterbrochen und damit Schrittbetrieb realisiert werden. Bei Nichtbenutzung des Einzelschrittbetriebes sind SSNO auf LOW- und SSNC auf HIGH-Potential zu legen.

Der READY-Eingang (High-aktiv) dient den externen Geräten zur Forderung von Wartezuständen. Der LOW-aktive Eingang  $\overline{\text{TOEN}}$  (timeout enable) begrenzt die WAIT-Forderung eines externen Gerätes auf 15 Taktzyklen, d. h. mit dem 16. Takt wird der Ausgang  $\overline{\text{TIMEOUT}}$  auf LOW und der Ausgang  $\overline{\text{WAIT}}$  auf HIGH gesetzt. LOW-Pegel an den 3 intern NOR-verknüpften Status-Eingängen (ST1 ... ST3) sperrt den  $\overline{\text{TIMEOUT}}$ -Zähler und setzt den Ausgang  $\overline{\text{WAIT}}$  auf HIGH.

Der LOW-aktive, mit einem internen Pull-up-Widerstand versehene Eingang  $\overline{\text{RESETIN}}$  ermöglicht die Synchronisation des RESET-Signals mit dem ZCK-Ausgang. Der zugehörige Ausgang  $\overline{\text{RESETOUT}}$  ist Low-aktiv, wenn  $4/3$ =HIGH ist, andernfalls ist er HIGH-aktiv.

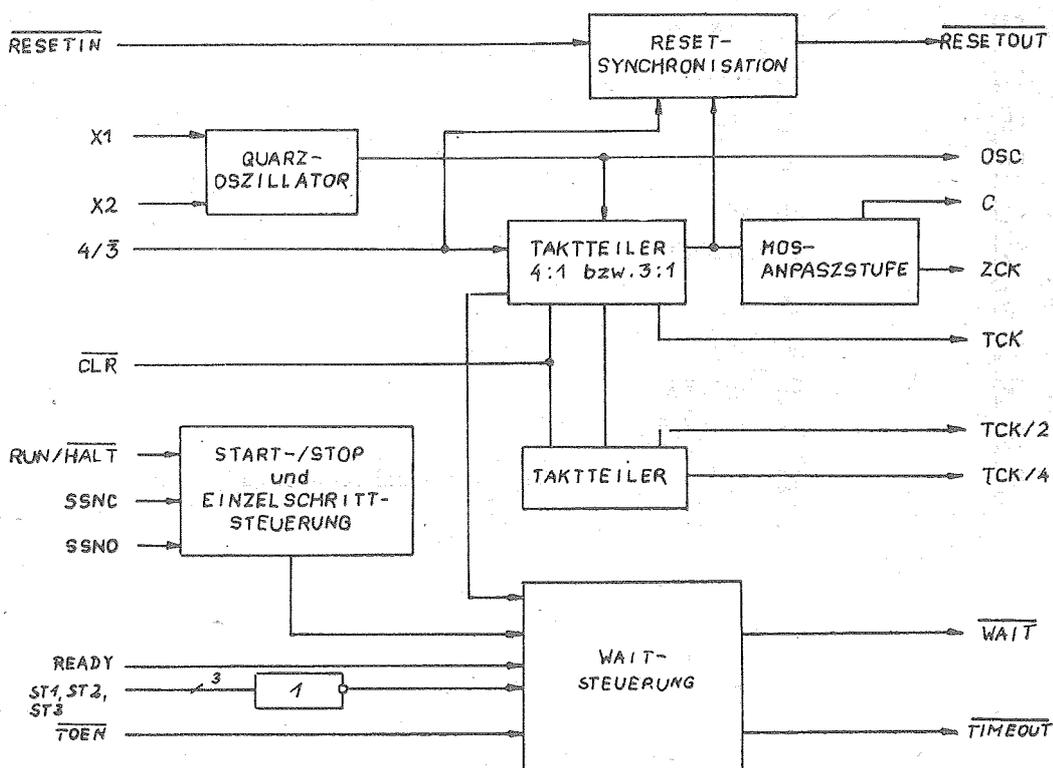


Bild 2: Blockschaltbild

Beschreibung der Anschlüsse

$4/\bar{3}$	Eingang zur Steuerung der Betriebsart. HIGH ergibt ein Takttastverhältnis von 1:2 bei einem Teilungsfaktor von 4. LOW bewirkt ein Tastverhältnis von 3 sowie die Negation des CPU-Taktes ZCK gegenüber dem TTL-Takt TCK (interner Pull-up-Widerstand).
<u>RESETIN</u>	LOW-aktiver Eingang zur Synchronisation des RESET-Signals mit dem CPU-Takt (interner Pull-up-Widerstand, etwa 57 kOhm).
<u>RESETOUT</u>	Synchronisierter RESET-Ausgang; LOW-aktiv, wenn $4/\bar{3}$ =HIGH.
X1, X2	Eingänge für externen Quarzanschluß; wird X1 als TTL-Eingang benutzt, bleibt X2 offen.
ZCK	Gepuffertes MOS-Taktausgang für CPU und Peripherie. Er liefert die erforderliche HIGH-Ausgangsspannung ( $U_{CC} - 0,4 V$ ).
TCK	Gepuffertes TTL-Taktausgang mit der gleichen Frequenz wie ZCK, TCK ist mit ZCK synchronisiert. Wenn $4/\bar{3}$ =LOW, ist ZCK zu TCK negiert.
TCK/2, TCK/4	Gepufferte TTL-Ausgänge mit der halben bzw. viertel TCK-Frequenz. Synchronisiert mit der Anstiegsflanke von TCK.
OSC	Oszillatortaktausgang, TTL-gepuffert. Liefert High-Speed-Takt für dynamische Speichersteuerung oder andere Anwendungen. Die ZCK- und TCK-Ausgänge sind mit der OSC-Anstiegsflanke synchronisiert.
<u>CLR</u>	LOW-aktiver Eingang, mit der OSC-Anstiegsflanke synchronisiert. Setzt die internen Taktteiler zurück, um die Synchronisation der Taktausgänge mehrerer Schaltkreise zu gewährleisten.
<u>WAIT</u>	Verriegelter (latched) <u>WAIT</u> -Ausgang zur Verbindung mit der CPU. Wird von der READY-, ST1-, ST2-, ST3-, RUN/ <u>HALT</u> - und SINGLE-STEP-Eingängen zur Forderung von Wartezuständen gesteuert.
READY	HIGH-aktiver Eingang zur Verbindung mit peripheren Geräten. Einhaltung der dem <u>WAIT</u> -Latch entsprechenden Einstell- und Haltezeitbedingungen erforderlich.
ST1, ST2, ST3	Status Eingänge von CPU und peripheren Geräten. LOW an allen Eingängen kennzeichnet interne CPU-Arbeit oder Refresh-Zyklen. Während dieser Zeit ist TIMEOUT abgeschaltet, um ein unpassendes Interrupt zu vermeiden. Die Wirkung der Status Eingänge ist von den Einstell- und Haltezeitbedingungen des <u>WAIT</u> -Latches abhängig.
<u>RUN/HALT</u>	Eingang der Start/Stop- und Einzelschrittsteuerung; LOW erzwingt ein LOW am <u>WAIT</u> -Ausgang (interner Pull-up-Widerstand).
SSNO, SSNC	SINGLE-STEP-Steuereingänge; kurzzeitiges Abschalten von SSNC von Masse und Erden von SSNO bewirkt das Übergehen der CPU von einem Wartezustand in den anderen. <u>RUN/HALT</u> muß für Einzelschrittsteuerung auf LOW liegen (interner Pull-up-Widerstand).
<u>TIMEOUT</u>	Ausgang, hauptsächlich zur Verbindung mit einem Interrupteingang der CPU (NMI). Der <u>TIMEOUT</u> -Zähler zählt die ZCK/TCK-Taktzyklen, um die unbeantwortete <u>WAIT</u> -Forderung eines peripheren Gerätes auf 15 Taktzyklen zu begrenzen. Das heißt, nach 15 Taktzyklen wird ein HIGH am <u>WAIT</u> -Ausgang erzwungen.
<u>TOEN</u>	LOW-aktiver timeout-enable-Eingang; LOW gibt den <u>TIMEOUT</u> -Zähler frei. HIGH schaltet ihn ab und ermöglicht die <u>WAIT</u> -Steuerung durch die READY-, <u>RUN/HALT</u> - und SINGLE-STEP-Eingänge.
C	Bootstrap-Eingang; Kondensator $C_C$ wird mit C und ZCK verbunden, um eine kürzere ZCK-Anstiegszeit zu ermöglichen.
UCC	Betriebsspannung
M	Masse

Grenzwerte

	Kurzzeichen	min.	max.	Einheit
Betriebsspannung	$U_{CC}$	0	7	V
Eingangsspannung X1, 4/3, SSNO, SSNC, RUN/HALT	$U_I$		$U_{CC}+0,5$	V
übrige Eingänge			7	V
Spannung an den Ausgängen (HIGH-Pegel)	$U_{OH}$	-0,5	5,5	V
Spannung an C	$U_C$	-0,5	8,0	V
LOW-Ausgangsgleichstrom	$I_{OL}$		30	mA
Eingangsgleichstrom	$I_I$	-30	5	mA

Betriebsbedingungen

	Kurzzeichen	min.	max.	Einheit
Betriebsspannung	$U_{CC}$	4,75	5,25	V
HIGH-Eingangsspannung ST1, ST2, ST3, X1	$U_{IH}$			V
CLR, TOEN, READY		2		V
SSNO, SSNC, 4/3, RUN/HALT		2,4		V
RESETIN		2,8		V
LOW-Eingangsspannung	$U_{IL}$			
ST1, ST2, ST3, X1, CLR, TOEN, READY			0,8	V
RUN/HALT, SSNO, SSNC, 4/3, RESETIN			0,4	V
HIGH-Ausgangsstrom ZCK	$-I_{OH}$		0,2	mA
TTL-Ausgänge			2,6	mA
LOW-Ausgangsstrom ZCK	$I_{OL}$		2,0	mA
TTL-Ausgänge			16,0	mA
Voreinstellzeit $\overline{CLR} \Rightarrow \text{OSC}$ ⌋	$t_{su}$	25		ns
Haltezeit $\overline{CLR} \Rightarrow \text{OSC}$ ⌋	$t_h$	-6		ns
Voreinstellzeit     READY $\Rightarrow$ ZCK	$t_{su}$			
4/3 = 5 V		$T/4+10$ <sup>1)</sup>		ns
4/3 = 0 V		20		ns
Haltezeit           READY $\Rightarrow$ ZCK	$t_h$			
4/3 = 5 V		$-T/4$ <sup>1)</sup>		ns
4/3 = 0 V		-5		ns
Voreinstellzeit     ST1,2,3 $\Rightarrow$ ZCK	$t_{su}$			
4/3 = 5 V		$T/4+12$ <sup>1)</sup>		ns
4/3 = 0 V		25		ns
Haltezeit           ST1,2,3 $\Rightarrow$ ZCK	$t_h$			
4/3 = 5 V		$-(T/4-3)$ <sup>1)</sup>		ns
4/3 = 0 V		-12		ns
Voreinstellzeit $\overline{TOEN} \Rightarrow$ ZCK	$t_{su}$			
4/3 = 5 V		35		ns
4/3 = 0 V		30		ns

## Fortsetzung Betriebsbedingungen

	Kurzzeichen	min.	max.	Einheit
Haltezeit $\overline{\text{TOEN}} = \text{ZCK}$	$t_h$	-15		ns
$4/3 = 5 \text{ V}$		-10		ns
$4/3 = 0 \text{ V}$		0	70	$^{\circ}\text{C}$
Umgebungstemperatur	$\vartheta_a$			

1) T ist die ZCK-Taktperiodendauer

Statische Kennwerte ( $U_{CC} = 5 \text{ V} \pm 0,25 \text{ V}$ ,  $\vartheta_a = 0 \dots 70 \text{ }^{\circ}\text{C}$ )

	Kurzzeichen	min.	max.	Einheit
Eingangsclampingsspannung $U_{CC} = 4,75 \text{ V}$ , $-I_I = 18 \text{ mA}$	$-U_i$		1,5	V
HIGH-Eingangstrom $U_{CC} = 5,25 \text{ V}$ , $U_{IH} = 2,75 \text{ V}$ $4/3$ , SSNC, SSNO, RUN/HALT	$I_{IH}$	-300 <sup>1)</sup>		$\mu\text{A}$
RESETIN		-200 <sup>1)</sup>		$\mu\text{A}$
ST1, ST2, ST3, CLR, TOEN, READY			50	$\mu\text{A}$
X1			600	$\mu\text{A}$
$U_{CC} = 5,25 \text{ V}$ , $U_{IH} = 5,5 \text{ V}$ ST1, ST2, ST3, CLR, TOEN, READY			1	mA
LOW-Eingangsströme $U_{CC} = 5,25 \text{ V}$ , $U_{IL} = 0,4 \text{ V}$	$-I_{IL}$			
SSNO			1,6	mA
SSNC, $4/3$ , RUN/HALT, READY			1,2	mA
CLR, TOEN, X1			0,72	mA
ST1, ST2, ST3, RESETIN			0,36	mA
HIGH-Ausgangsspannung $U_{CC} = 4,75 \text{ V}$ , $-I_{OH} = 0,2 \text{ mA}$	$U_{OH}$	4,0		V
ZCK		4,00		V
TTL-Ausgänge $-I_{OH} = 2,6 \text{ mA}$		2,4		V
LOW-Ausgangsspannung $U_{CC} = 4,75 \text{ V}$ , $I_{OL} = 2,0 \text{ mA}$	$U_{OL}$			
ZCK			0,45	V
TTL-Ausgänge			0,5	V
Ausgangskurzschlußstrom <sup>2)</sup> $U_{CC} = 5,25 \text{ V}$	$-I_{OS}$			
ZCK		50	240	mA
TTL-Ausgänge		40	130	mA
Stromaufnahme $U_{CC} = 5,25 \text{ V}$ , X1 = 2,4 V	$I_{CC}$			
ZCK=TCK's=LOW <sup>3)</sup>			140	mA

- 1) Negative HIGH-Eingangsströme werden durch den internen Pull-up-Widerstand verursacht.
- 2) Nicht mehr als einen Ausgang gleichzeitig kurzschließen, Dauer des Kurzschlusses  $\leq 1$  s.
- 3)
  1.  $\overline{\text{CLR}}=\text{LOW}$ ,  $\text{SSNO}=\text{LOW}$ , restliche Eingänge HIGH
  2.  $X1=1$  Takt (LOW-HIGH-Flanken)
  3.  $\overline{\text{CLR}}=\text{HIGH}$
  4.  $X1=$  weitere 15 Takte mit Schlußpegel 2,4 V,  $\text{SSNO}=\text{HIGH}$
  5. Messung von  $I_{\text{CC}}$ .

Dynamische Kennwerte

$$(U_{\text{CC}} = 5 \text{ V} \pm 0,55 \text{ mV}, T_{\text{B}} = 25 \text{ }^{\circ}\text{C} - 5\text{K})$$

	Kurzzeichen	min.	max.	Einheit
Anstiegszeit des ZCK-Ausgangsimpulses	$t_{\text{TLH}}$		12	ns
$C_{\text{L}}=80 \text{ pF} \pm 5\%$ , $C_{\text{C}}=27 \text{ pF} \pm 10\%$ 1)				
$C_{\text{L}}=200 \text{ pF} \pm 5\%$ , $C_{\text{C}}=27 \text{ pF} \pm 10\%$ 1)			20	ns
Abfallzeit des ZCK-Ausgangsimpulses	$t_{\text{THL}}$			
$C_{\text{L}}=80 \text{ pF} \pm 5\%$ , $C_{\text{C}}=27 \text{ pF} \pm 10\%$ 1)			11	ns
$C_{\text{L}}=200 \text{ pF} \pm 5\%$ , $C_{\text{C}}=27 \text{ pF} \pm 10\%$ 1)			20	ns
Signalverzögerungszeiten				
$R_{\text{L}}=500 \text{ Ohm} \pm 2\%$ , $C_{\text{L}}=50 \text{ pF} \pm 10\%$				
ZCK: $C_{\text{L}} = 80 \text{ pF}$ ; $C_{\text{C}} = 27 \text{ pF}$				
von                      nach				
READY $\rightarrow$ $\overline{\text{WAIT}}$	$t_{\text{PLH}}$		16	ns
	$t_{\text{PHL}}$		19	ns
ST1,2,3 $\rightarrow$ $\overline{\text{WAIT}}$	$t_{\text{PLH}}$		26	ns
	$t_{\text{PHL}}$		24	ns
ZCK $\rightarrow$ $\overline{\text{RESETOUT}}$				
$4/\overline{3} = 0 \text{ V}$	$t_{\text{PLH}}$		23	ns
	$t_{\text{PHL}}$		15	ns
$4/3 = 5 \text{ V}$	$t_{\text{PLH}}$		20	ns
	$t_{\text{PHL}}$		10	ns
Oszillatorfrequenz	$f_{\text{OSC}}$	24		MHZ

1) Bootstrap-Kondensator zwischen den Anschlüssen C und ZCK.

Die vorliegenden Datenblätter dienen ausschließlich der Information! Es können daraus keine Liefermöglichkeiten oder Produktionsverbindlichkeiten abgeleitet werden. Änderungen im Sinne des technischen Fortschritts sind vorbehalten.

# RFT

**Herausgeber:**

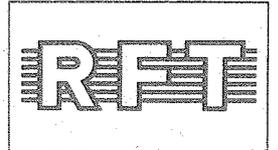
veb applikationszentrum elektronik berlin  
im veb kombinat mikroelektronik

Mainzer Straße 25  
Berlin 1035

Telefon: 5 80 05 21, Telex: 011 2981; 011 3055

# mikroelektronik

## Information



DL 8127 D

2/87 (11)

Ergänzung zum Datenblatt DBS, Ausgabe 1/87 (10)

Hersteller: VEB Halbleiterwerk Frankfurt (Oder)

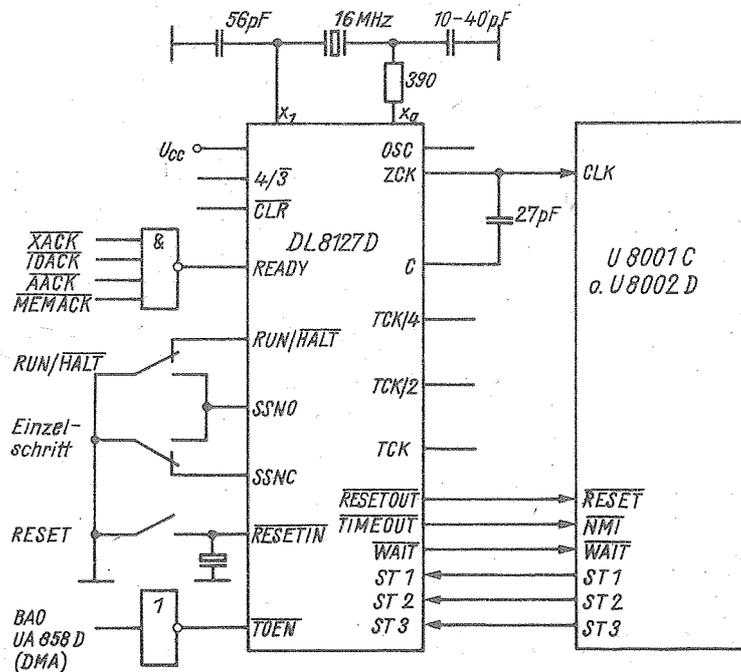


Bild 3: Applikationsschaltung des DL 8127 D mit dem U 8001 C/ U 8002 D

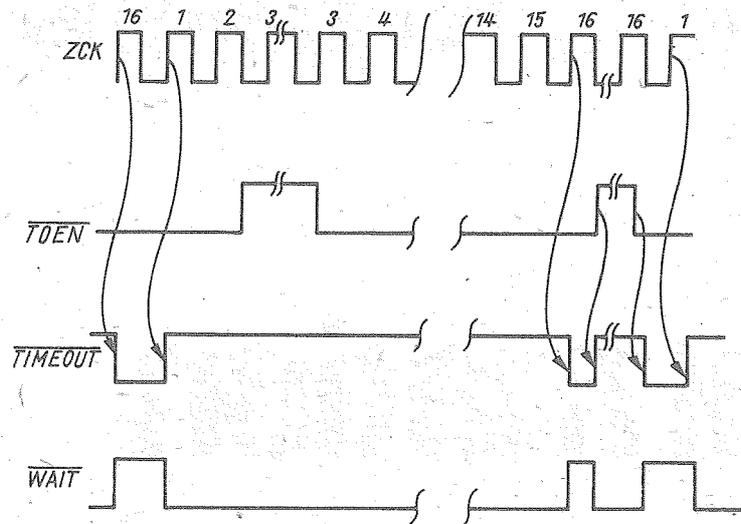


Bild 4: TIMEOUT - Zeitverhalten

## Logik-/Funktionstabelle

RUN/HALT	SSNC	ST1	ST2	ST3	READY	TOEN	TIMEOUT-Zähler	TIMEOUT	WAIT
H	X	L	L	L	H	X	rückge- setzt	H	H
		mindestens ein ST-Eingang H			H	X		H	H
					L	L	Zählerin- halt +1 mit jeder L-H-Flanke von ZCK	1)	2)
L	L-H-L	X			X	X	gestoppt	H	L-H-L 3)

H - H-Pegel

L - L-Pegel

X - Pegel beliebig (L oder H)

1) Nach H-L-Flanke von READY 15 ZCK-Perioden High, anschließend 1 ZCK-Periode Low

2) Nach H-L-Flanke von READY 15 ZCK-Perioden Low, anschließend 1 ZCK-Periode High

3) H-Pegel 1 ZCK-Periode

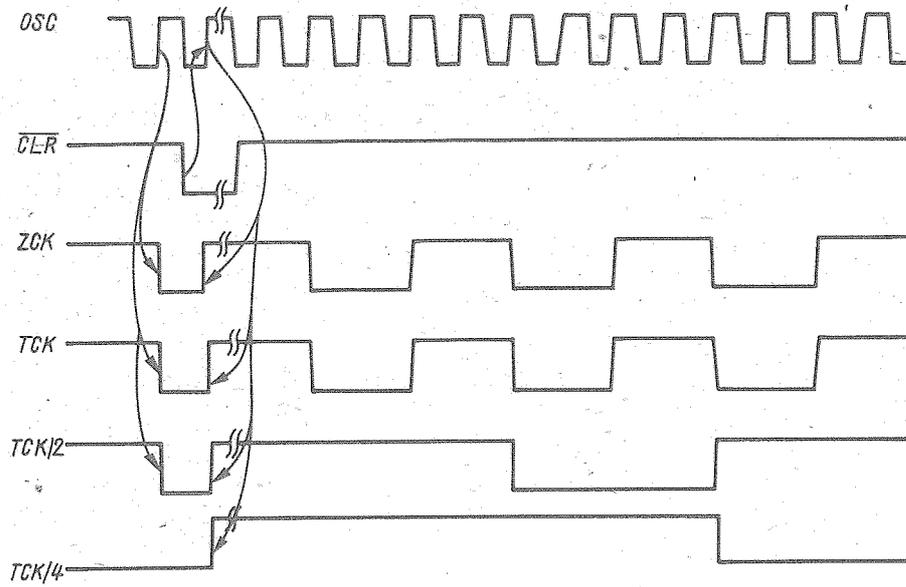


Bild 5: Impulsdiagramm U 8000 - Mode

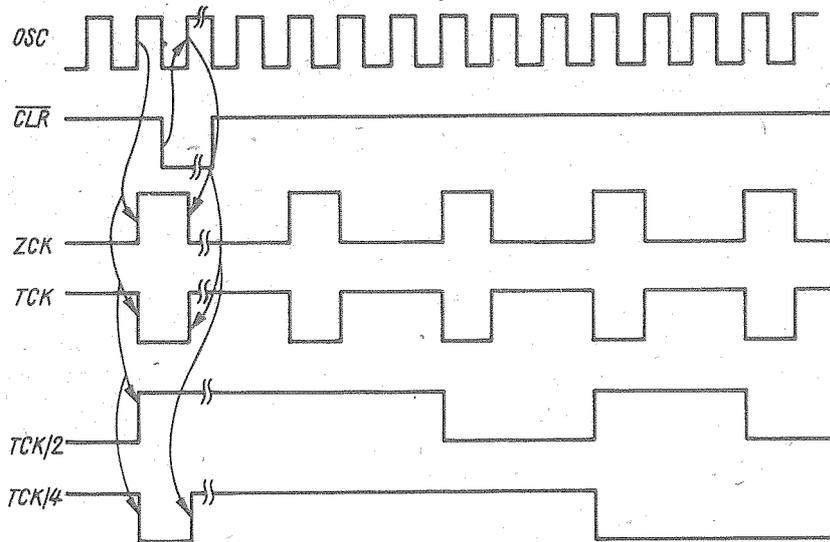


Bild 6: Impulsdiagramm U 8086 - Mode