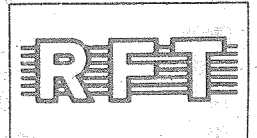


Information



U 1056 D

Vergleichstyp
SAA 1056 P

2/86

vorläufige technische Daten

Hersteller: VEB Mikroelektronik „Karl Marx“ Erfurt

PLL-Synthesizer-Schaltkreis

Der U 1056 D ist eine PLL-Synthesizerschaltung in CSGT-HV-Technologie für die Abstimmung beliebiger VCO's.

Folgende Elemente sind im U 1056 D auf einem Chip integriert:

- asynchrone Serienschnittstelle mit Formatkontrolle zur Selektion von 17bit-Datenwörtern
- Auffangregister für alle zugeführten Daten
- Steuerleitungen (durch Pegelumsetzer TTL-kompatibel)
- Referenzfrequenzoszillator mit einem entkoppelten Oszillatorfrequenzausgang.

Zur Realisierung eines HF-Abstimmungssystems sind außer dem U 1056 D noch ein HF-Vorteiler (U 1059 D) und ein aktives Loop-Filter erforderlich.

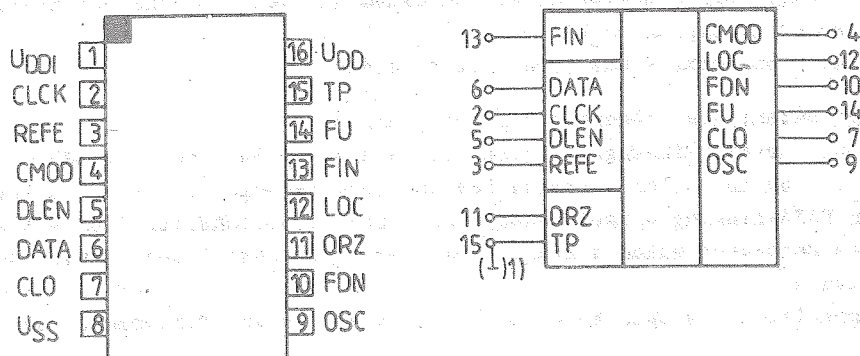


Bild 1: Anschlußbelegung und Schaltungskurzzeichen

1) TP ist im Betriebsfall prinzipiell an U_{SS} zu legen.

Bezeichnung der Anschlüsse:

FIN	Signaleingang für die zu teilende Frequenz
DATA	Eingang für die Daten der Teilerzahlen
CLOCK	Taktsignal für die Datenübertragung
DLEN	Freigabesignal für die Datenübertragung
REFE	Referenzteilerwahl
QRZ	Oszillatoreingang für Referenzfrequenz ($f_{\max} = 4 \text{ MHz}$)
TP	Testpin (im Betriebsfall an U_{SS})
CMOD	Ausgang zur Steuerung des Vorteilers
LOC	Lock-Detektor-Ausgang
FDN	Nachstimmausgang zur Frequenzverringern
FU	Nachstimmausgang zur Frequenzerhöhung
CLO	entkoppelter Ausgang des Referenzfrequenzoszillators zur Ansteuerung weiterer Schaltungen
OSC	Oszillatorausgang für die Referenzfrequenz
U_{DD}	pos. Betriebsspannungsanschluß
U_{DDI}	Speisespannung für Pegelkonverter
U_{SS}	Bezugspotential

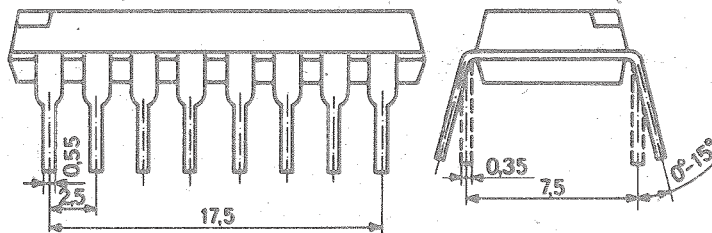


Bild 2: Gehäuseabmessungen

Beschreibung

Der integrierte Schaltkreis U 1056 D ist eine PLL-Synthesizerschaltung, die zusammen mit einem diodenabgestimmten Tuner, einem HF-Vorteiler und einem aktiven Loop-Filter ein komplettes Synthesizersystem für HF-Empfänger bildet.

Es können Eingangsfrequenzen bis max. 4 MHz verarbeitet werden.

Die Synthesizerschaltung besteht aus folgenden Teilschaltungen:

- einer Teilerschaltung für die Eingangsfrequenz, die aus einem 5bit-Swallow-Zähler und einem 10bit programmierbaren Teiler besteht; Das Teilverhältnis wird von den letzten 15 bit des über den DATA-Eingang eingelesenen und zwischengespeicherten 17bit-Datenwortes bestimmt. Das Datenwort enthält kodiert das dem gewünschten Sender entsprechende Teilverhältnis.
- einem 17bit-Auffangregister zum Speichern der 15bit-Daten für die Teilerzahl des Referenzteilers
- einer Formatkontrollschaltung, die zwischen Störsignalen und Datenwörtern mit 17 bit Wortlänge unterscheidet; Datenwörter mit anderer Wortlänge werden nicht angenommen.

- einem 16bit-Schieberegister, das die seriell eingeschriebenen Datenwörter DATA nach durchgeführter Formatkontrolle an das Auffangregister weiterleitet
- einer Frequenz-Phasen-Detektor-Schaltung, die mit Hilfe eines externen, als Integrator eingeschalteten Verstärkers, die Abstimmspannung erzeugt
- einer 13bit programmierbaren Teilerschaltung für die Referenzoszillatorfrequenz zum Erzeugen von vier verschiedenen Frequenzrastern
- einem Dekoder mit zwei Setzeingängen und Ausgängen zur Programmierung des Referenzteilers auf die Teilverhältnisse 1 : 160; 1 : 400; 1 : 800; 1 : 8000
- einem Quarzeszillator zur Erzeugung der Oszillatorfrequenz mit einem entkoppelten Ausgang zur externen Verwendung der Oszillatorfrequenz
- je einem Pegelumsetzer für die Eingangssignale DATA, DLEN, CLOCK und REFE; diese Eingänge können mit TTL-Signalen angesteuert werden

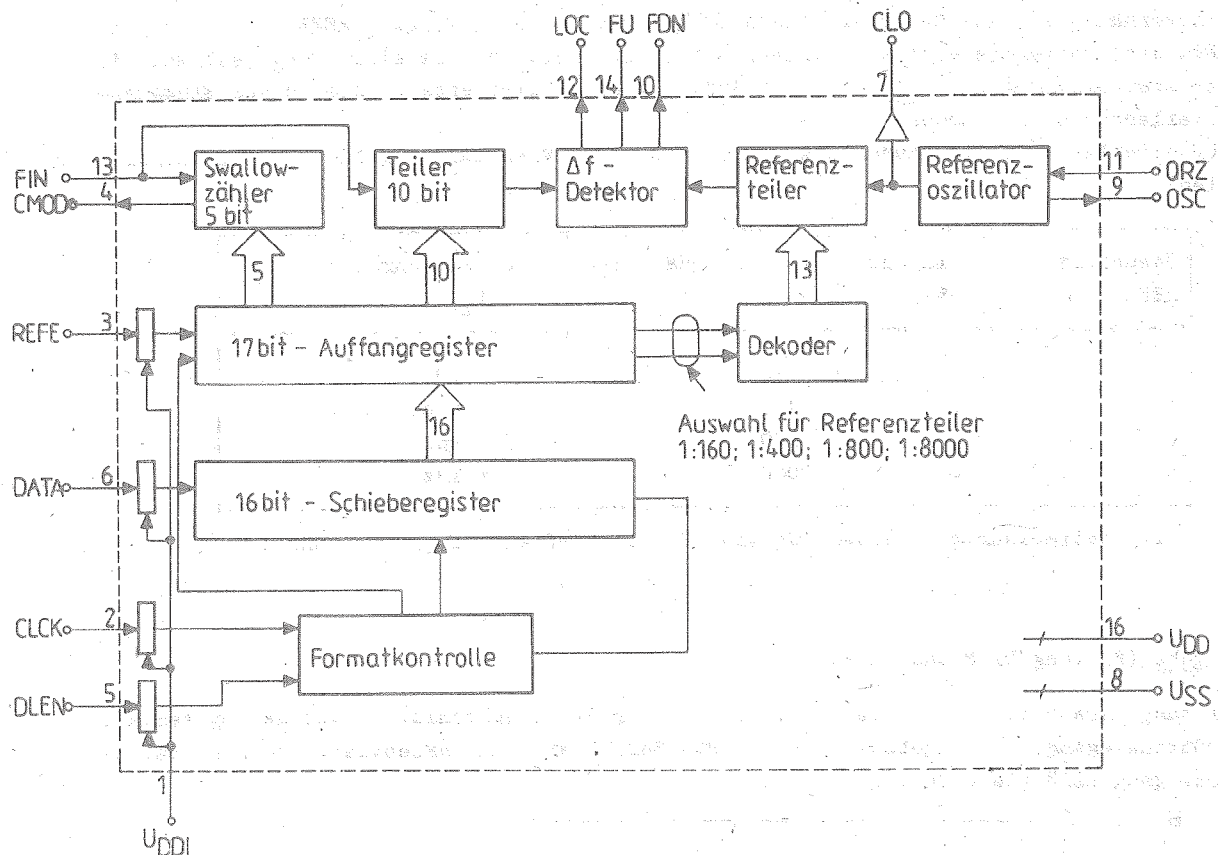


Bild 3: Blockschaltbild U 1056 D

Wirkungsweise des U 1056 D in der Abstimmuschaltung

Im Fall der eingerasteten PLL-Schleife stimmen die durch den Referenzteiler geteilte 4 MHz-Quarzfrequenz und die durch den aus umschaltbarem Vorteiler, Swallow-Zähler und 10bit-Teiler geteilte Eingangsfrequenz (Oszillatorfrequenz des Empfängers) in Frequenz und Phase überein. Die Frequenz-Phasen-Detektor-Schaltung liefert am Ausgang LOC ein Signal, das diesen Zustand anzeigt, während die Abstimmansgänge FU und FDN inaktiv sind.

Soll auf eine andere, z. B. auf eine höhere Empfangsfrequenz abgestimmt werden, so ist die Teilerzahl des Eingangsfrequenzteilers neu einzustellen. Das geschieht dadurch, daß auf dem Datenbus ein entsprechendes 17bit-Datenwort gesendet wird, das diese Daten enthält. Nachdem dieses Datenwort in das 16bit-Schieberegister eingeschrieben und von der Formatkontrollschaltung auf Gültigkeit geprüft wurde, liefert die Formatkontrollschaltung ein internes Datengültigkeitssignal, das synchron mit dem Ausgangssignal des Vorteilers die Übernahme des in

Schieberegister stehenden Datenwortes in das Auffangregister veranlaßt. Sobald der laufende Zählzyklus der Kombination Swallow-Zähler/10bit-Teiler beendet ist, erfolgt das Laden dieser Teilerkombination mit dem im Auffangregister stehenden neuen Datenwort, d. h. das Einstellen eines größeren Teilverhältnisses. Da die Oszillatorfrequenz des Empfängers ihren Wert noch nicht verändert hat, liefert der Eingangsfrequenzteiler ein Signal mit niedriger Frequenz. Die Ausgangsimpulse von Referenzteiler und Eingangsfrequenzteiler treffen deshalb zu unterschiedlichen Zeitpunkten und in unterschiedlicher Anzahl auf die Frequenz-Phasen-Detektor-Schaltung. Da der Referenzteiler zum betrachteten Zeitpunkt das höherfrequente Signal liefert, ist der Ausgang FU (Nachstimmung für Frequenzerhöhung) insgesamt über einen längeren Zeitraum inaktiv als der Ausgang FDN (Nachstimmung für Frequenzverringern). Im nachgeschalteten Loop-Filter wird mittels Integration eine Abstimmspannung für den Oszillator erzeugt, die die Oszillatorfrequenz erhöht. Das geschieht solange bis die Oszillatorfrequenz einen Wert erreicht hat, der die frequenz- und phasenrichtige Übereinstimmung der Signale am Eingang der Frequenz-Phasen-Detektor-Schaltung garantiert.

Das Teilverhältnis n des Referenzteilers wird durch Daten am Eingang REFE und durch die Daten REFI des 17bit-Datenwortes bestimmt. Es ist in 4 Stufen einstellbar und bestimmt die Größe der Abstimmsschritte Δf_{\min} , die bei Änderung des Teilverhältnisses n des Eingangsfrequenzteilers erzeugt werden.

Der Referenzteiler läßt sich durch die Signale REFI und REFE auf folgende 4 Teilverhältnisse einstellen:

Steuerbit REFI	Eingang REFE	Teilverhältnis n	Abstimmsschritte Δf_{\min}
1	1	160	25 kHz
1	0	400	10 kHz
0	1	800	5 kHz
0	0	8000	0,5 kHz

(Die Abstimmsschritte gelten für eine Oszillatorfrequenz von 4,0 MHz.)

Dateneingabe (Eingang DLEN und DATA)

Die Schaltung verarbeitet serielle 17bit-Datenwörter die synchronisiert mit dem Systemtakt CLCK am Dateneingang DATA angeboten werden. Ein Befehl wird nur akzeptiert, wenn am Dateneingabebereich DLEN gleichzeitig H anliegt.

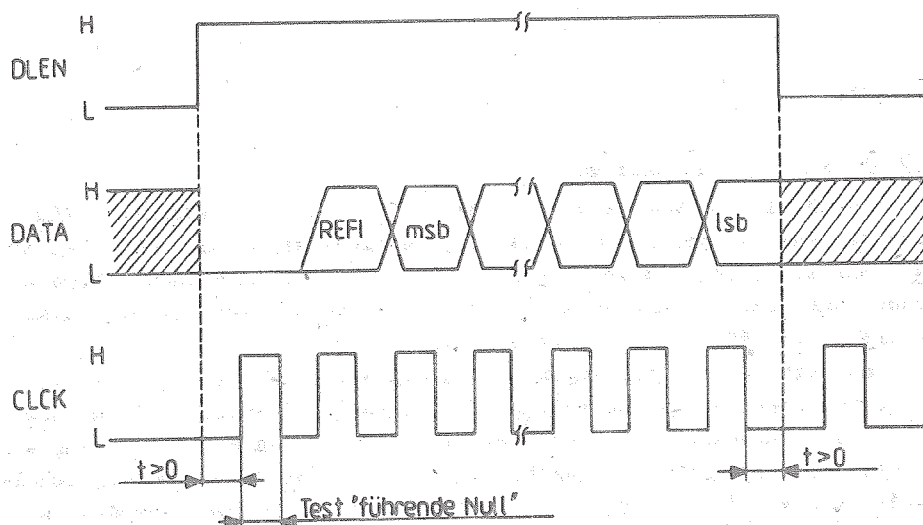


Bild 4: Impulsdiagramm der 17bit-Datenübertragung

Die Schaltung prüft sowohl das Startbit als auch die Wortlänge jeder auf dem Bus laufenden Übertragung. Ein gültiges Datenwort muß mit L-Pegel für das Startbit beginnen. Das 17bit-Datenwort besteht aus einem Startbit, aus einem REFI-Steuerbit, welches in Kombination mit dem Signal REFE die Referenzfrequenz für den Δf -Detektor vorgibt, und aus 15 bit zur Vorgabe der Teilerzahl für den Eingangsteiler. Die Übernahme der Schieberegisterinformation wie auch der Information REFE in das 17bit-Auffangregister erfolgt nur wenn ein FIN-Signal vorhanden ist.

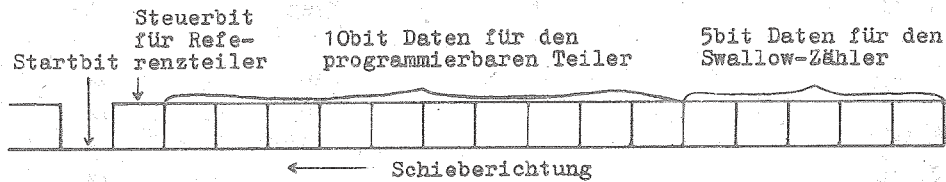


Bild 5: Aufbau eines Datenwortes

Vorteiler-Steuer Ausgang CMOD

Der 5bit-Swallow-Zähler erzeugt abhängig vom empfangenen Datenwort ein Signal zum Einstellen des Vorteilers (L = kleinere Teilerzahl des Vorteilers; H = größere Teilerzahl des Vorteilers).

FDN, FU und LOC - Logikpegel

Die Frequenz-Phasen-Detektor-Schaltung liefert folgende Ausgangssignale:

- ein Signal LOC, das den eingerasteten Zustand der PLL-Schleife anzeigt
 - LOC = L - nicht eingerastet
 - LOC = H - eingerastet
- ein Signal FDN, das die Notwendigkeit der Verringerung der Eingangsfrequenz anzeigt
 - FDN = L - aktiv
 - FDN = H - nicht aktiv
- ein Signal FU, das die Notwendigkeit der Vergrößerung der Eingangsfrequenz anzeigt
 - FU = L - nicht aktiv
 - FU = H - aktiv.

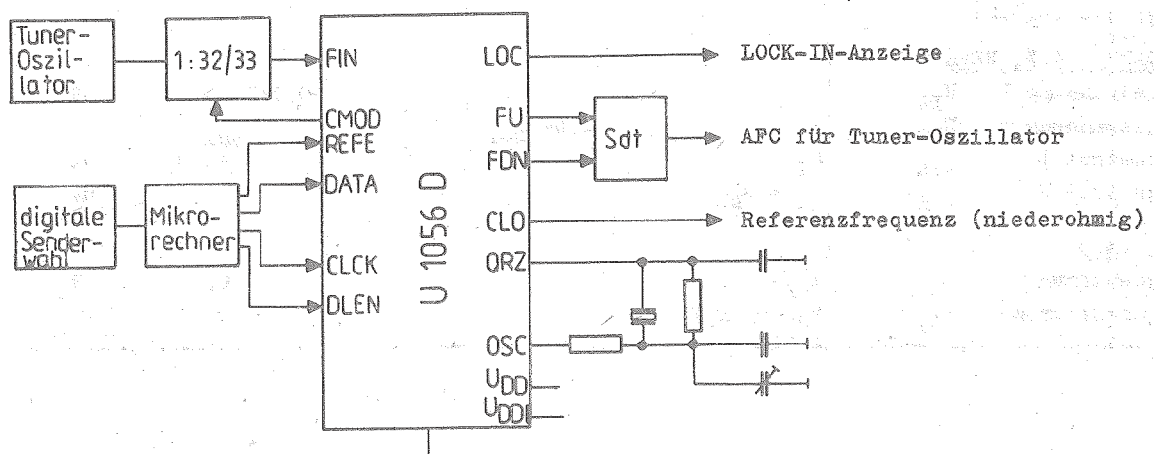


Bild 6:

Grenzwerte

Kennwert	Kurzzeichen	min.	max.	Einheit
Betriebsspannung	U_{DD}	-0,3	11	V
Eingangsspannung	U_I	-0,3	U_{DD}	V
Eingangsspannung für Eingänge mit Pegelumsetzer	U_I	-0,3	U_{DDI}	V
Eingangsstrom	$ I_I $		10	mA
Strom von U_{DDI} nach U_{DD}	I		10	mA
Ausgangsstrom	$ I_O $		10	mA
Verlustleistung pro Ausgang	P_O		100	mW
Verlustleistung pro Gehäuse	P_{tot}		300	mW
Betriebstemperatur	T_a	0	70	°C
Lagerungstemperatur	T_{stg}	-55	150	°C

Statische Kennwerte

($U_{DD} = 8 \dots 10 \text{ V}$; $T_a = 25 \text{ °C}$, falls nicht anders angegeben)

Kennwert	Kurzzeichen	Messbedingung	min.	typ.	max.	Einheit
Betriebsspannung	U_{DD}		8	9	10	V
Ruhestrom	U_{DDI} I_{DD}	$I_O = 0 \text{ mA}$	4,5	5	5,5	V /µA
Eingänge ohne Pegelumsetzer: <u>FIN, QZ</u>						
Eingangsspannung L	U_{IL}		0		2,4	V
Eingangsspannung H	U_{IH}		$U_{DD}-2,4$		U_{DD}	V
Eingangsstrom L	$-I_{IL}$	$U_I = 0 \text{ V}$			1	/µA
Eingangsstrom H	I_{IH}	$U_I = 10 \text{ V}$			1	/µA
Eingänge mit Pegelumsetzern: <u>DATA, DLEN, CLCK, REPE</u>						
Eingangsspannung L	U_{IL}		0		$0,2 \cdot U_{DDI}$	V
Eingangsspannung H	U_{IH}		$0,8 \cdot U_{DDI}$		U_{DDI}	V
Eingangsstrom L	$-I_{IL}$	$U_I = 0 \text{ V}$			1	/µA
Eingangsstrom H	I_{IH}	$U_I = U_{DD}$			1	/µA
<u>Ausgang_CM0D</u>						
Ausgangsspannung L	U_{OL}	$I_{OL} = 5 \text{ mA}$			0,5	V
Ausgangsreststrom	I_{OR}	$U_O = 10 \text{ V}$			20	/µA

Kennwert	Kurzzeichen	Meßbedingung	min.	typ.	max.	Einheit
<u>Ausgänge LOC, FU, FDN</u>						
Ausgangsspannung L	U_{OL}	$I_O = 1 \text{ mA}$	$U_{DD} - 0,5$		0,5	V
Ausgangsspannung H	U_{OH}	$-I_O = 1 \text{ mA}$				V
<u>Ausgang OSC</u>						
Ausgangsspannung L	U_{OL}	$I_O = 1 \text{ mA}$	$U_{DD} - 1$		1	V
Ausgangsspannung H	U_{OH}	$-I_O = 1 \text{ mA}$				V
<u>Ausgang CLO</u>						
Ausgangsspannung L	U_{OL}	$I_O = 4 \text{ mA}$	$U_{DD} - 1$		1	V
Ausgangsspannung H	U_{OH}	$-I_O = 1,2 \text{ mA}$				V

Dynamische Kennwerte

($T_a = 25^\circ\text{C}$; $U_{DD} = 8 \dots 10 \text{ V}$)

Kennwert	Kurzzeichen	min.	typ.	max.	Einheit
Eingangsfrequenz (Betriebsbed.)	2) f_I			4	MHz
Tastverhältnis	2)	45		55	%
Übergangszeiten H/L	2) Z_{THL}			50	ns
	L/H 2) Z_{TLH}			50	ns
Eingangsfrequenz	3) f_I		62,5	100	kHz

2) Eingänge ohne Pegelumsetzer

3) Eingänge mit Pegelumsetzer

Dieses Datenblatt gibt keine Auskunft über Liefermöglichkeiten und beinhaltet keine Verbindlichkeiten zur Produktion. Die gültige Vertragsunterlage beim Bezug der Bauelemente ist der Typstandard. Rechtsverbindlich ist jeweils die Auftragsbestätigung.

Änderungen im Zuge der technischen Weiterentwicklung vorbehalten.

Die Behandlungsvorschriften für MOS-Bauelemente sind unbedingt einzuhalten, da andernfalls eine Reklamation nicht anerkannt werden kann.

04/86