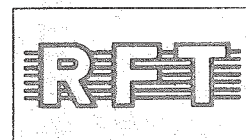


## Information



### U 6516 D

Vergleichstyp  
HM 6516

2/86

vorläufige technische Daten

Hersteller: VEB Zentrum für Forschung und Technologie  
Mikroelektronik Dresden

Statischer Schreib-Lese-Speicher mit wahlfreiem Zugriff (sRAM)

- Speicherkapazität 16 384 Bit
- Organisation 2K x 8 Bit<sup>2</sup>
- Typspektrum
  - U 6516 DG 15 (Grundtyp)
  - UL 6516 DC 15 (Selektionstyp)
  - UL 6516 DG 15 (Selektionstyp)
  - U 6516 DG 25 (Anfalltyp)
  
- Zugriffszeit
  - 150 ns (für U 6516 DG 15, UL 6516 DC 15 und UL 6516 DG 15)
  - 250 ns (für U 6516 DG 25)
  
- geringer Leistungsverbrauch, äußerst geringe Ruheleistung
- Betriebsspannung + 5V  $\pm$  5 %
- gemeinsame (bidirektionale) Datenein-/ausgänge
- 2 Enable - Signale
- Tri-state - Ausgangsstufen
- Adreßlatch - damit nur getakteter Betrieb möglich
- TTL-Kompatibilität für alle Anschlüsse
- Datenerhalt bis zu einer Betriebsspannung  $U_{CC} = 2$  V ("Schlafzustand")
- 24-poliges DIL-Plastgehäuse
- Umgebungstemperatur -25 ... +85 °C bzw. 0 ... 70 °C
- integrierte Schutzschaltungen in allen Eingängen
- CMOS-Herstellungstechnologie

(Markierung bezeichnet Seite mit Pin 1)

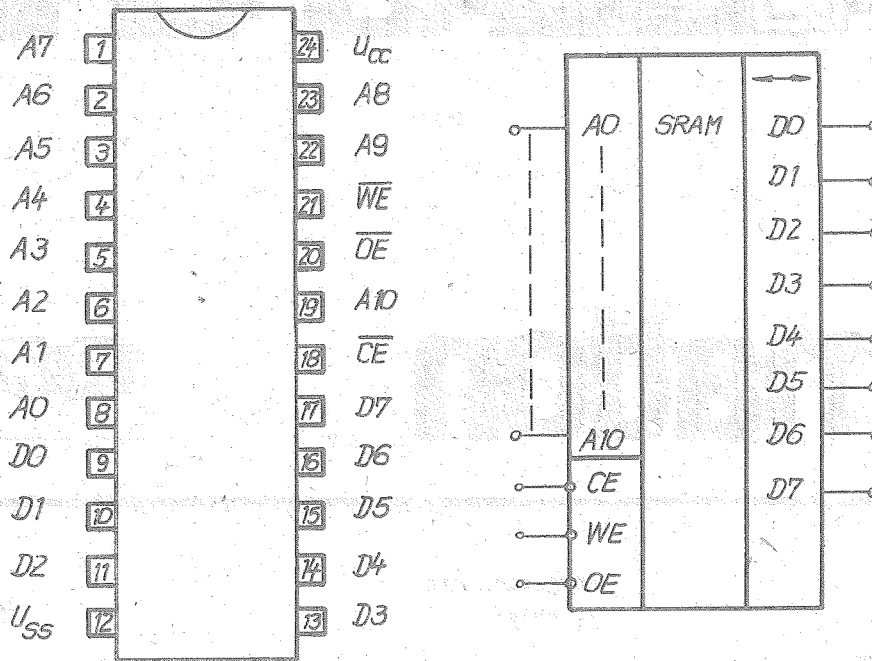


Bild 1: Anschlußbelegung  
und Schaltzeichen

#### Pinbelegung

Pin	Belegung
A0 bis A3	Adreßeingänge
D0 bis D7	Datenein-/ausgänge
$\overline{CE}$	Chipauswahl
$\overline{WE}$	Lese-/Schreibsteuerung
$\overline{OE}$	Datenausgangsaktivierung
$U_{CC}$	Betriebsspannung
$U_{SS}$	Masse

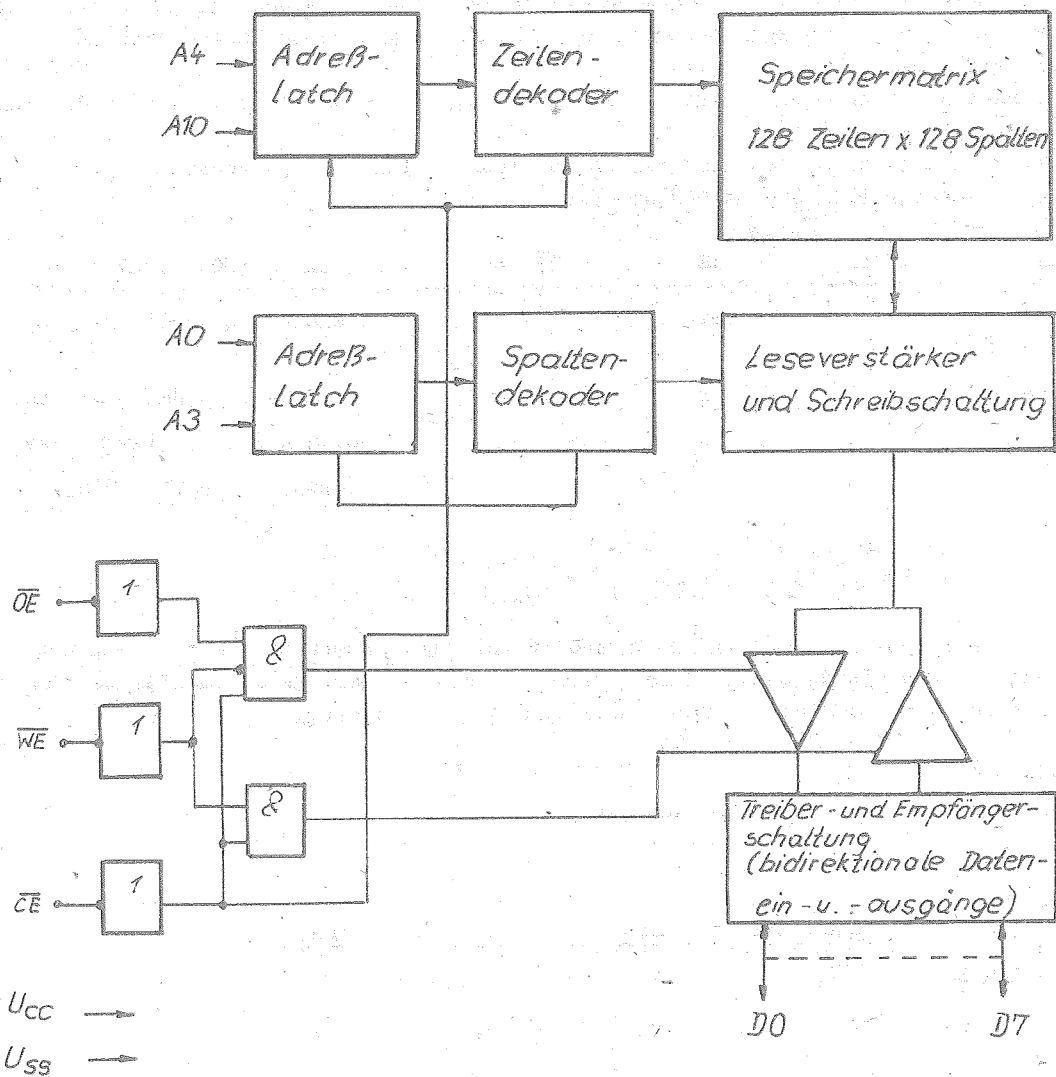


Bild 2: Blöckschaltbild

### Funktionsbeschreibung

Der sRAM U 6516 D besteht aus folgenden Funktionsgruppen:

- Speichermatrix mit je 128 Zeilen und Spalten (16384 Bit)
- Adreßlatch für 11 Adressen
- Zeilendekoder
- Spaltendekoder
- Treiber- und Empfängerschaltung
- Leseverstärker und Schreibschtaltung
- Ein-/Ausgabe- und Zyklussteuerung

Der U 6516 D kann in den Betriebsarten Lesezyklus, Schreibzyklus und Lese-/Schreibzyklus arbeiten. Die Betriebsarten sind mittels der Signale  $\overline{OE}$ ,  $\overline{WE}$  und  $\overline{CE}$  steuerbar.

Die Auswahl des Speichers erfolgt mit dem  $\overline{CE}$ -Signal ( $\overline{CE} = L$ ), nachdem vorher mit der H/L-Flanke des  $\overline{CE}$ -Signals die an den Adreßpins anliegende Adresse in das Adreßlatch übernommen wurde, die dort (bis zum Beginn des nächsten Zyklus) zwischengespeichert wird. Die Aktivierung der Datenausgänge D0 bis D7 erfolgt mit dem  $\overline{OE}$ -Signal ( $\overline{OE} = L$ ).

In der Betriebsart "Lesen" ( $\overline{WE} = H$ ) gelangt die in den jeweils adressierten 8 Speicherzellen ("Byte"-Organisation) stehende Information bis zu den inneren Datenausgängen (sog. "internes Lesen"); nach Aktivierung der Datenausgänge durch das  $\overline{OE}$ -Signal steht diese Information an den Datenpins D0 bis D7 zur Verfügung.

Bei der Betriebsart "Schreiben" wird bei  $\overline{CE} = \overline{WE} = L$ ,  $\overline{OE} = H$  die Information in die adressierten Speicherzellen geschrieben.

In der Betriebsart "Lesen-Schreiben" werden in einem Zyklus die Speicherzellen gelesen; anschließend werden die gleichen Zellen erneut beschrieben.

Betriebsart	$\overline{CE}$	$\overline{WE}$	$\overline{OE}$	Datenpins D0 ... D7
Ruhezustand (nicht ausgewählt)	H	beliebig	beliebig	Ausgang hochohmig, Eingang gesperrt
internes Lesen	L	H	H	Ausgänge hochohmig, Eingänge gesperrt
Lesen	L	H	L	Ausgang aktiv, Eingang gesperrt
Schreiben	L	L	H	Ausgang hochohmig, Eingang aktiv

Anmerkung: Soll beim Schreibzyklus das  $\overline{OE}$ -Signal beliebig sein, gilt die Forderung  $t_{WLWH} \geq t_{CLCH}$  und  $t_{WLCH} \geq t_{CLCH}$ .

Der U 6516 D kann auch im sog. "Schlafzustand" (d.h. Reduzierung der Betriebsspannung bis zu 2 V) betrieben werden, wodurch, bedingt durch die dann vorhandene äußerst geringe Stromaufnahme ("Schlafstrom"), eine Speicherung eingeschriebener Daten über längere Zeit günstig möglich ist.

#### Technische Daten

(Alle Spannungen sind auf  $U_{SS} = 0$  V bezogen)

#### Grenzwerte

	Kurzzeichen	min.	max.	Einheit
Betriebsspannung	$U_{CC}$	-0,3	7	V
Spannung an allen Eingängen	$U_I$	-0,3	$U_{CC}+0,3$	V
Verlustleistung	$P_{tot}$	-	1	W
Betriebstemperatur	$\vartheta_a$	-25	+85 <sup>1)</sup>	$^{\circ}C$
		0	70 <sup>2)</sup>	$^{\circ}C$
Lagertemperatur	$\vartheta_{stg}$	-55	+155	$^{\circ}C$

#### Betriebsbedingungen

##### statische Bedingungen

	Kurzzeichen	min.	max.	Einheit
Betriebsspannung	$U_{CC}$	4,75	5,25	V
L-Eingangsspannung	$U_{IL}$	-0,3	0,8	V
H-Eingangsspannung	$U_{IH}$	2	$U_{CC}+0,3$	V
Schlafspannung	$U_{CCS}$	2		V
Adressvorhaltzeit	$t_{AVCL}$	10		ns
Umgebungstemperatur	$\vartheta_a$	-25	+85 <sup>1)</sup>	$^{\circ}C$
		0	70 <sup>2)</sup>	$^{\circ}C$

1) gilt für U 6516 DG 15, UL 6516 DG 15 und U 6516 DG 25

2) gilt für UL 6516 DC 15

Dynamische Bedingungen

	Kurzzeichen	U 6516 DG 15, UL 6516 DG 15		U 6516 DG 25		Einheit
		min.	max.	min.	max.	
Adreßvorhaltezeit	$t_{AVCL}$	10	-	10	-	ns
Adreßhaltezeit	$t_{CLAX}$	50	-	50	-	ns
Datenhaltezeiten	$t_{WHDX}$					
	$t_{CHDX}$	0	-	0	-	ns
	$t_{WHDZ}$					
	$t_{CHDZ}$					
$\overline{WE}$ -Lesevorhaltezeit	$t_{WHCL}$	0	-	0	-	ns
Lese-Schreib-Abstand	$t_{QVWL}$	0	-	0	-	ns
$\overline{CE}$ -Low-Impulsdauer	$t_{CLCH}$	150	-	250	-	ns
	$t_{CLCH2}^{1)}$	280	-	470	-	ns
$\overline{CE}$ -High-Impulsdauer	$t_{CHCL}$	50	-	140	-	ns
$\overline{WE}$ -Low-Impulsdauer	$t_{WLWH}$	60	-	100	-	ns
	$t_{WLWH2}^{1)}$	130	-	220	-	ns
$\overline{WE}$ -Impulsvorhaltezeiten	$t_{WLCH}$	60	-	100	-	ns
	$t_{CLWH}$	150	-	250	-	ns
	$t_{WLCH2}^{1)}$	130	-	220	-	ns
Datenvorhaltezeiten	$t_{DVCH}$	60	-	100	-	ns
	$t_{DVWH}$	60	-	100	-	ns
Zykluszeit	$t_{CLCL}$	200	-	390	-	ns
	$t_{CLCL2}^{1)}$	330	-	610	-	ns

1) Werte gelten nur für Betriebsart "Lesen-Schreiben"

KennwerteStatische Kennwerte

	Kurzzeichen	U 6516 DG 15		UL 6516 DG 15		UL 6516 DC 15		U 6516 DG 25		Einheit
		min.	max.	min.	max.	min.	max.	min.	max.	
Betriebsstromaufnahme	$I_{CC}$	-	20	-	20	-	20	-	20	mA
$f = 1 \text{ MHz}$ $U_I = 0 \text{ V}$ bzw. $U_{CC}$ $I_O = 0 \text{ mA}$ $U_{CC} = 5 \text{ V}$ , $\vartheta_a = 25 \text{ }^\circ\text{C}$										
Ruhestromaufnahme	$I_{CCSB}$	-	50	-	5	-	50	-	50	$\mu\text{A}$
$U_{CC} = 5,25 \text{ V}$ $U_T = 0 \text{ V}$ $I_O = 0 \text{ mA}$										

Statische Kennwerte

	Kurzzeichen	U 6516 DG 15		UL 6516 DC 15		U 6516 DG 25		Einheit
		min.	max.	min.	max.	min.	max.	
Schlafstromaufnahme $U_{CC} = 2 V$ $U_I = 0 V$ $I_O = 0 mA$	$I_{CCS}$	-	20	-	3	-	20	$\mu A$
L-Ausgangsspannung $I_O = 3,2 mA$	$U_{OL}$	-	0,4	-	0,4	-	0,4	V
H-Ausgangsspannung $I_O = -1 mA$	$U_{OH}$	2,4	-	2,4	-	2,4	-	V
Eingangslleckstrom $U_{CC} = 5,25 V$ $0 \leq U_I \leq U_{CC}$	$I_{LI}$	-1	+1	-1	+1	-1	+1	$\mu A$
Eingangskapazität $U_I = 0 V$ $f = 1 MHz$	$C_I$	-	8	-	8	-	8	pF

Dynamische Kennwerte

	Kurzzeichen	U 6516 DG 15		UL 6516 DC 15		U 6516 DG 25		Einheit
		min.	max.	min.	max.	min.	max.	
Zugriffszeit angegebene Ausgangsbeschaltung	$t_{CLQV}$	-	150	-	250	-	250	ns
Verzögerungszeit der Datenausgänge $U_{CC} = 5 V$ $\theta_a = 25 ^\circ C$ angegebene Ausgangsbeschaltung	$t_{CLQX}$	-	-	-	-	-	-	ns
Verzögerung $\overline{OE}$ -Ausgang aktiv $U_{CC} = 5 V$ $\theta_a = 25 ^\circ C$ angegebene Ausgangsbeschaltung	$t_{CLQX}$	5	-	-	10	-	10	ns
Verzögerung $\overline{OE}$ -Ausgang hochohmig $C_L = 50 pF$ $U_{CC} = 5 V$ $\theta_a = 25 ^\circ C$	$t_{CHQZ}$	-	60	-	100	-	100	ns

Die dynamischen Kennwerte  $t_{CLQV}$ ,  $t_{CLQV}$  und  $t_{CLQX}$  beziehen sich auf nachstehende Lastschaltung.

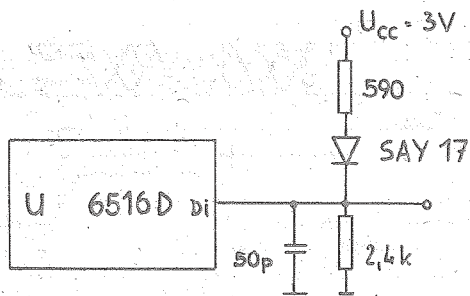


Bild 3: Lastschaltung

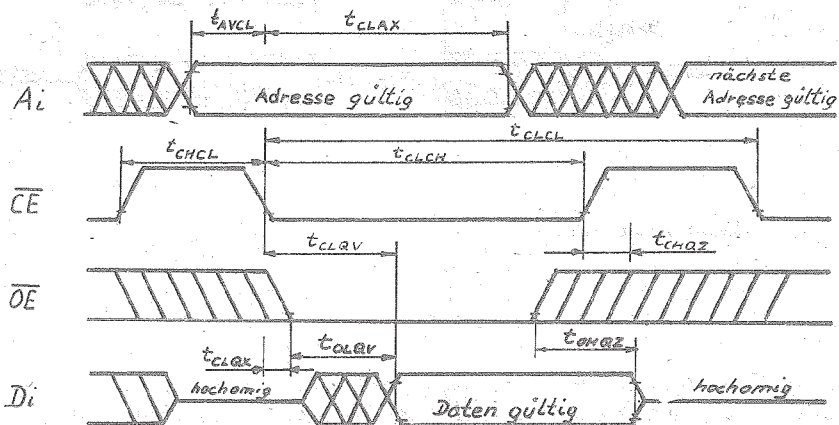


Bild 4: Lesezyklus ( $\overline{WE} = \text{HIGH}$ )

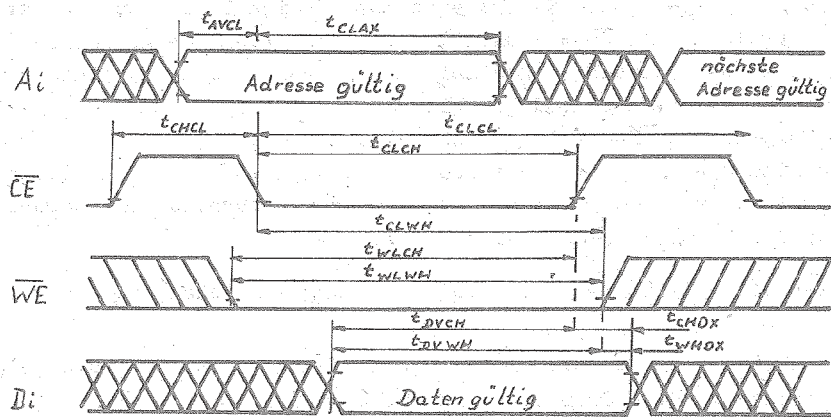


Bild 5: Schreibzyklus ( $\overline{OE} = \text{HIGH}$ )

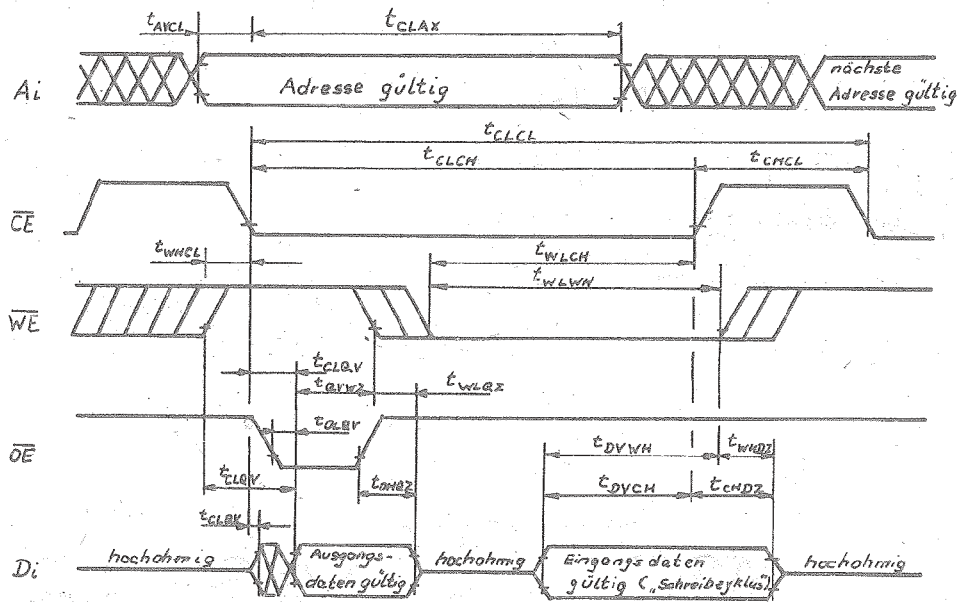


Bild 6: Lese-/Schreibzyklus

#### Applikative Hinweise

Das U 6516 D - Typspektrum vereint geringe Zugriffszeiten (150 ns bzw. 250 ns) mit geringen Ruhestromen (50  $\mu$ A bzw. 5  $\mu$ A) und Schlafströmen (20  $\mu$ A bzw. 3  $\mu$ A) und bietet außerdem, besonders für die Rechentechnik, günstige Systembedingungen, wie Byte-Organisation, 2 Enable-Signale, Pin-kompatibilität zu dem entsprechenden EPROM-Typ U 2716 C und die TTL-Kompatibilität.

Durch die Byte-Organisation vereinfacht sich der Systementwurf von Speicherblöcken sowie von Mikrorechner-Minimalkonfigurationen (z. B. Einplatinenrechner). Es wird ein - hinsichtlich Platzbedarf und Trassierung - günstiges Leiterkarten-Layout erreicht sowie, da jeweils nur 1 Speicher-Schaltkreis (bei 8 Bit-Rechner-Systemen) aktiviert werden muß, eine geringere Betriebsstromaufnahme des Systems.

Durch das zusätzliche Enable-Signal  $\overline{OE}$  wird eine vom  $\overline{CE}$ -Signal unabhängige Aktivierung der Datenausgänge  $DO$  bis  $D7$  erreicht. Bei  $\overline{CE} = L$  und  $\overline{WE} = \overline{OE} = H$  werden die gelesenen Daten des Speichers in das Ausgangslatch desselben gebracht; parallel dazu können - da die Datenpins des Speichers noch hochohmig sind - bei einem entsprechend gewählten Mikrorechnerbus auf dessen Datenleitungen bereits Datentransporte erfolgen. Das  $\overline{OE}$ -Signal erlaubt also bei richtiger Handhabung eine Verbesserung der Systemdynamik. Die Pincompatibilität zum EPROM U 2716 C gestattet die Realisierung von "Byte-wide" - Konzepten und ermöglicht damit die multivalente Verwendung vorhandener Mikrorechnerleiterkarten, d. h. Bestückung wahlweise mit U 6516 D oder U 2716 C.

Die TTL-Kompatibilität aller Pins gestattet die Verwendung von Schaltkreisen der D, DL- und DS-Reihe zur Ansteuerung.

Das AdreBlatch des U 6516 D bietet nur im Systemeinsatz mit einer CPU, die gemeinsame Daten- und Adreßleitungen aufweist (z. B. U 8000), dynamische Vorteile.

Durch die relativ niedrige Betriebsstromaufnahme sowie die äußerst geringen Ruhe- und Schlafströme ist der U 6516 D prädestiniert für den Einsatz in batteriebetriebenen Geräten der kommerziellen Elektronik sowie in Geräten, bei denen die eingeschriebenen Bitmuster gegen gewollte oder (ungünstiger!) zufällige Abschaltung der Netzspannung geschützt werden sollen (d. h. Betriebsspannungspufferung).



Für eine derartige Betriebsspannungspufferung gelten einige, im folgenden zusammengestellte, grundsätzlichen Bedingungen. Für die Umschaltung der Systemspannungsversorgung auf die Batterieversorgung ist eine Umschaltlogik erforderlich, die die bei Netzausfall entstehende Absenkung der Versorgungsspannung auf weniger als 4,75 V erkennt und noch entsprechende "Vorarbeiten", d. h. Beendigung des gerade laufenden Speicherzyklus (ggf. "Pufferkondensator" erforderlich), die Umschaltung vornimmt.

Es ist zu beachten, daß das  $\overline{CE}$  und  $\overline{OE}$  bei Batteriebetrieb auf H-Potentials liegen muß (d. h. Anschluß über 100 kOhm-Widerstände an den  $U_{CC}$  - Pin des Speichers).

Alle anderen Eingänge des Speichers (WE, Adressen und Daten) werden über 100 kOhm-Widerstände ebenfalls an das  $U_{CC}$ -Pin des Speichers bzw. an Masse angeschlossen.

Speicherangriffe sind erst wieder erlaubt, wenn die Betriebsspannung wieder 4,75 V erreicht hat und die Zeit  $t_{CHCL}$  (positive  $\overline{CS}$ -Impulsdauer) vergangen ist. Prinzip einer derartigen Schaltung ist im folgenden dargestellt.

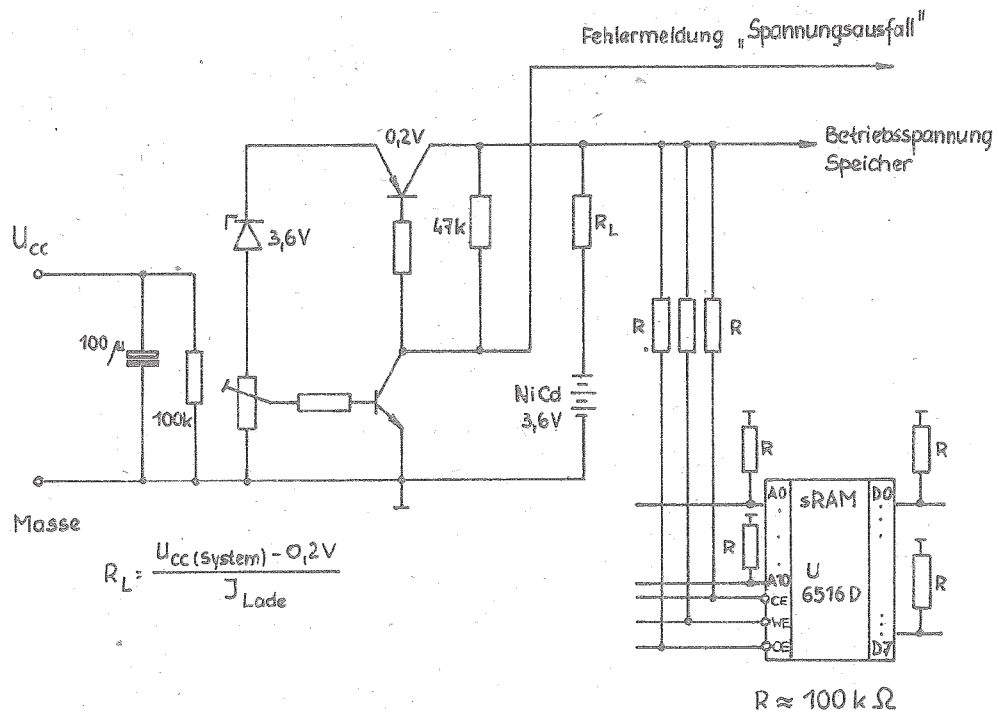


Bild 7: Betriebsspannungspufferung