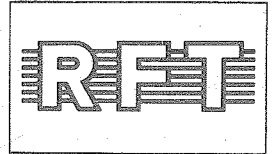


Information



U 714 PC

2/87 (11)

Hersteller: VEB Mikroelektronik „Karl Marx“ Erfurt

Ansteuerschaltkreis für Flüssigkristallanzeigen

Der U 714 PC ist ein Schaltkreis zur Ansteuerung von Flüssigkristallanzeigen. Der kaskadierbare Schaltkreis ist Teil eines LCD-Punktmatrixdisplays, das im VEB Werk für Fernsehelektronik Berlin hergestellt wird.

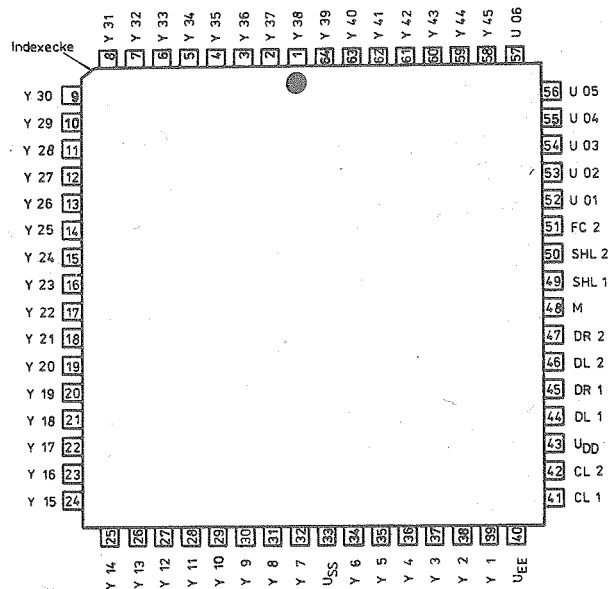
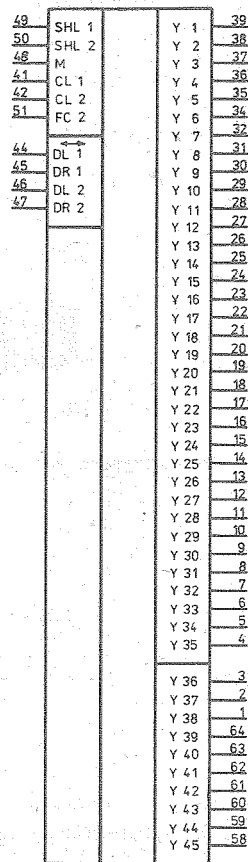


Bild 1: Anschlußbelegung



Bezeichnung der Anschlüsse

U _{DD}	Betriebsspannung für Logik
U _{BE}	Betriebsspannung für LCD-Treiber
U _{SS}	Bezugspotential
U 1/U 2	Betriebsspannung für LCD-Treiber (ausgewählte Zeile bzw. Spalte) Block 1 und 2
U 3/U 4	Betriebsspannung für LCD-Treiberblock 1 (nicht ausgewählt)
U 5/U 6	Betriebsspannung für LCD-Treiberblock 2 (nicht ausgewählt)
SHL 1	Eingang für Schieberichtung Block 1
	<u>SHL1 DL1 DR1</u>
	L Eingang Ausgang
	H Ausgang Eingang
SHL 2	Eingang für Schieberichtung Block 2
	<u>SHL2 DL2 DR2</u>
	L Eingang Ausgang
	H Ausgang Eingang
DL 1/DR 1	Datenein-/ausgang Block 1
DL 2/DR 2	Datenein-/ausgang Block 2
M	Eingang des Wechselsignals für LCD-Treiber
CL 1	Eingang des Übernahmetaktes für Ausgaberegister, highaktiv
CL 2	Eingang des Schiebetaktes für Schieberegister, highaktiv
FC 2	Eingang des Mode für Block 2
	<u>FC2 Block 2</u>
	H Zeilentreiber
	L Spaltentreiber
Y 1 ... Y 35	LCD-TreiberAusgänge des Blockes 1
Y 36 ... Y 45	LCD-TreiberAusgänge des Blockes 2

Bild 2: Schaltungskurzzeichen

Beschreibung

Der Schaltkreis U 714 PC dient der Multiplexansteuerung von Flüssigkristallanzeigen. Die logische Funktion des U 714 PC realisiert eine Seriell/Parallel-Wandlung bis zu 45 bit einschließlich einer Ausgangspegelwandlung (Ausgangspegel zwischen 0 und -13 V einstellbar). Der Schaltkreis besitzt zwei bidirektionale Seriell/Parallel-Wandlerblöcke (10 bit und 35 bit), deren serielle Ein- und Ausgänge getrennt auf die Anschlüsse herausgeführt sind. Mehrere Schaltkreise sind kaskadierbar. Den inneren Aufbau des Schaltkreises zeigt das Blockschaltbild (Bild 3).

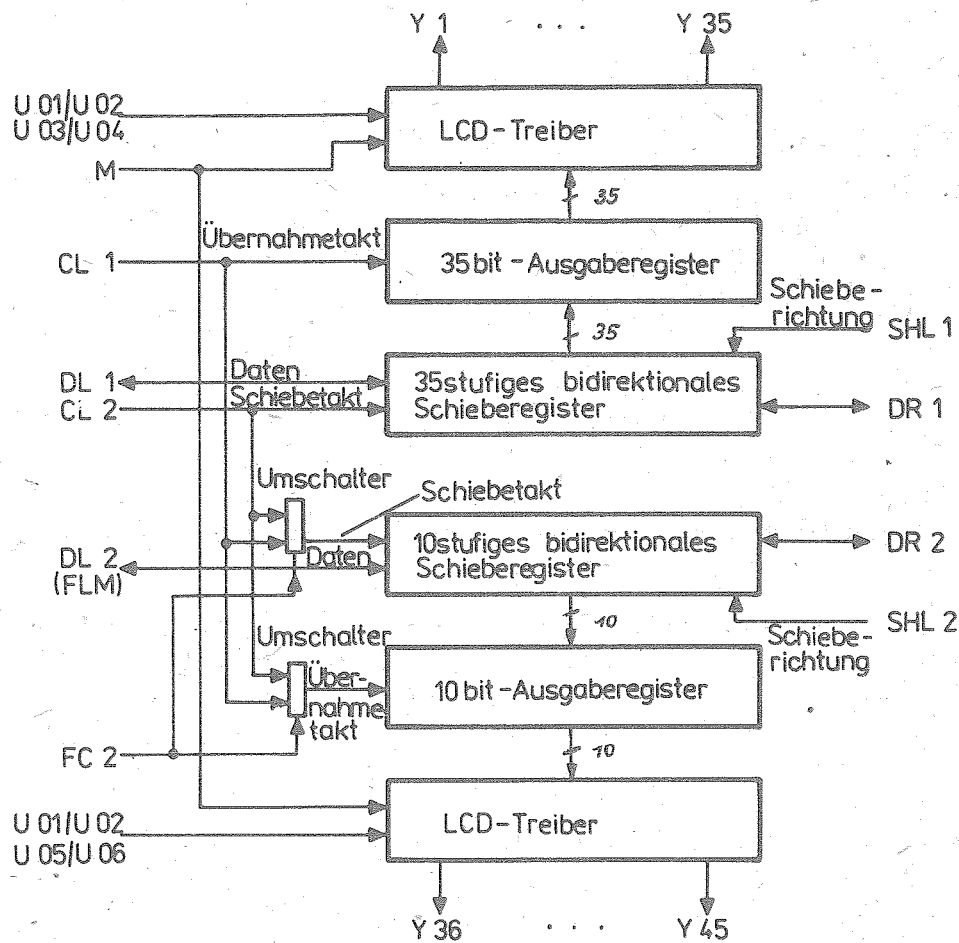


Bild 3: Blockschaltbild

Der Schaltkreis setzt sich aus folgenden Teilen zusammen:

- Logikteil mit Schieberegisterzelle und Anzeigeregisterzelle
- Treiberteil mit Pegelwandler und Treiber
- Block für Schiebe- und Übernahmetakte
- Blöcke für bidirektionale Datenpins und Schiebemodus
- Block für die LCD-Ansteuerspannungen

Logikteil mit Schieberegisterzelle und Anzeigeregisterzelle

Die Schieberegisterzelle ist ein von CL 2 (highaktiv) getaktetes Master-Slave-Flip-Flop mit zwei tristate-Ausgängen. Diese tristate-Ausgänge werden durch SHL gesteuert, so daß die Zellen zu einem bidirektionalen Schieberegister verschaltet werden können. Angekoppelt an die Schieberegisterzelle ist die Anzeigeregisterzelle, die ein mit CL 1 (highaktiv) getaktetes Master-Slave-Flip-Flop darstellt.

Die Ausgänge des Ausgaberegisters (A 01 ... A 45) steuern direkt den Pegelwandler an, der den logisch unveränderten Dateninhalt mit verändertem Pegel zur Ansteuerung der beiden CMOS-Trans-

missionsgates liefert, die als Ausgangstreiber dienen und die entsprechende Pegelfolge auf das Ausgangspin Y durchschalten.

Treiberteil (Pegelwandler und Treiber)

Der Pegelwandler formt die Eingangsinformation mit den Pegelwerten 0 V und -5 V logisch unverändert in die entsprechende Ausgangsinformation mit den Pegelwerten $U_{EE} = 0$ V und -5 ... -13 V um, damit die Treibertransmissionsgates angesteuert werden können.

Erzeugung der Schiebe- und Übernahmetakte

Die Schaltung dient der logischen Verknüpfung von CL 1 und CL 2 mit dem Modussignal FC 2. Der Registerblock 1 (A 01 ... A 35) wird direkt nach der Eingangspufferung mit den Takten CL 1 und CL 2 versorgt, während der Registerblock 2 (A 36 ... A 45) über einen durch FC 2 gesteuerten Umschalter mit Schiebe- und Übernahmetakt versorgt wird.

Bidirektionale Datenpins und Schiebemodus

Die Datenausgabe erfolgt getaktet über ein D-Flip-Flop, das je nach am SHL eingestellter Schieberrichtung die Datenübernahme in einen kaskadierten Schaltkreis gewährleistet.

Bereitstellung der LCD-Ansteuerspannungen

Das Signal M übernimmt das Umschalten der Ausgangspegel während einer Zeilenzeit. Für die Ansteuerung der Zeilen wird mit FC 2 = H das M-Signal intern negiert.

Tabelle 1 gibt eine Übersicht über die gesamte Logik- und Ansteuerfunktion des Schaltkreises (angegeben sind die Pinbezeichnungen, deren Pegel auf die LCD-Treiber-Pins Y 1 ... Y 45 bzw. deren Signale auf die internen Taktleitungen durchgeschaltet sind).

Di: Ausgaberegisterinhalt (Bildinformation)

L = nicht ausgewählte Leitung

H = ausgewählte Leitung

FC 2	Di	M	Y 1 ... Y 35	Y 36 ... Y 45	Übernahmetakt		Schiebetakt	
					Block 1	Block 2	Block 1	Block 2
H	H	H	U 1	U 2	CL 1	CL 2	CL 2	CL 1
		L	U 2	U 1				
	L	H	U 3	U 6				
		L	U 4	U 5				
L	H	H	U 1	U 1	CL 1	CL 1	CL 2	CL 2
		L	U 2	U 2				
	L	H	U 3	U 5				
		L	U 4	U 6				

Tabelle 1: Logikfunktion des Schaltkreises

Aus dieser Logikfunktion ergeben sich für die drei möglichen Anwendungsfälle in einem LCD-Modul folgende Belegungen für die Anschlüsse U 1 ... U 6, CL 1, CL 2 und FC 2:

1. Spaltentreiber

(alle Ausgänge Y 1 ... Y 45 arbeiten als Spaltentreiber)

Pin	FC 2	CL 1	CL 2	U 1	U 2	U 3	U 4	U 5	U 6
Pegel bzw. Signal	L	CL 1	CL 2	U 1	U 2	U 3	U 4	U 3	U 4

2. Zellentreiber

(alle Ausgänge Y 1 ... Y 45 arbeiten als Zellentreiber)

Pin	FC 2	CL 1	CL 2	U 1	U 2	U 3	U 4	U 5	U 6
Pegel bzw. Signal	L	CL 2	CL 1	U 2	U 1	U 6	U 5	U 6	U 5

3. Zellen- und Spaltentreiber

(Y 1 ... Y 35 arbeiten als Spaltentreiber und Y 36 ... Y 45 arbeiten als Zellentreiber)

Pin	FC 2	CL 1	CL 2	U 1	U 2	U 3	U 4	U 5	U 6
Pegel bzw. Signal	H	CL 1	CL 2	U 1	U 2	U 3	U 4	U 5	U 6

Grenzwerte

Kennwert	Kurzzeichen	min.	max.	Einheit
Betriebsspannung für Logik	U_{DD}	-7	0,3	V
Betriebsspannung für LCD-Treiber	U_{EE}	-13	0,3	V
Eingangsspannung	U_I	$U_{DD} - 0,3$	0,3	V
Lagertemperatur	ϑ_{stg}	-55	125	°C

Statische Kennwerte und dynamische Betriebsbedingungen

($\vartheta_a = 0 \dots 70 \text{ }^\circ\text{C}$)

Kennwert	Kurzzeichen	Meßbedingungen	min.	max.	Einheit
Betriebstemperatur	ϑ_a		0	70	$^\circ\text{C}$
Betriebsspannung Logik	U_{DD}		-5,25	-4,75	V
Betriebsspannung für LCD-Treiber	U_{EE}		-11	-9	V
Eingangsspannung H	U_{IH}		$0,3 \cdot U_{DD}$		V
Eingangsspannung L	U_{IL}			$0,7 \cdot U_{DD}$	V
Ausgangsspannung H	U_{OH}		-0,4		V
Breite der Taktphase H an CL 1, CL 2	t_{CWH}		800		ns
Breite der Taktphase L an CL 1, CL 2	t_{CWL}		800		ns
Datensetzzeit an DL 1, DL 2, DR 1, DR 2	t_S		300		ns
Datenhaltezeit an DL 1, DL 2, DR 1, DR 2	t_H		200		ns
Takt-set-up-Zeit Schiebektakt vor Übernahmetakt Spaltenansteuerung	t_{SL}		500		ns
Takt-set-up-Zeit Schiebektakt vor Übernahmetakt Zeilenansteuerung	t_{LS}		500		ns
Takt-set-up-Zeit Ende Übernahmetakt vor nächstem Schiebektakt Spaltenansteuerung	t_{CV}		300		ns

Statische Kennwerte

($\vartheta_a = 0 \dots 70 \text{ }^\circ\text{C}$)

Kennwert	Kurzzeichen	Meßbedingungen	min.	max.	Einheit
Ausgangsspannung H	U_{OH}		-0,4		V
Ausgangsspannung L	U_{OL}	$I = 0,4 \text{ mA}$		$U_{DD} + 0,4$	V
Stromaufnahme an U_{DD}	I_{DD}	$f = 400 \text{ kHz}$		2	mA
Stromaufnahme an U_{EE}	I_{EE}	$f = 1 \text{ kHz}$; ohne C_L		10	μA
Spannungsabfall (zwischen U_I und Y_K je Block, dabei 0,05 mA an allen übrigen Y_K)	U_{d2}			1,5	V
Spannungsabfall (zwischen U_I und Y_K dabei 0,1 mA an einem Y_K)	U_{d1}			1,1	V

Kennwert	Kurzzeichen	min.	max.	Einheit
Eingangsreststrom	I_{IL}		5	μA
Ausgangsspannung H an DL 1, DL 2, DR 1, DR 2	U_{OH}	-0,6		V
Ausgangsspannung L an DL 1, DL 2, DR 1, DR 2	U_{OL}		-4,15	V

Dynamische Kennwerte

Kennwert	Kurzzeichen	min.	max.	Einheit
Datenverzögerungszeit an DL 1, DL 2, DR 1, DR 2 ($C_L = 15 \text{ pF}$)	t_{pd}		500	ns

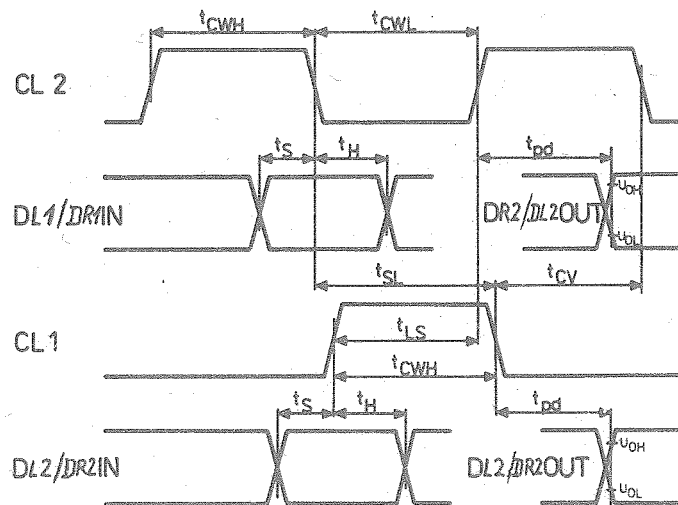


Bild 4: Taktdiagramm für Zeilen- und Spaltenansteuerung

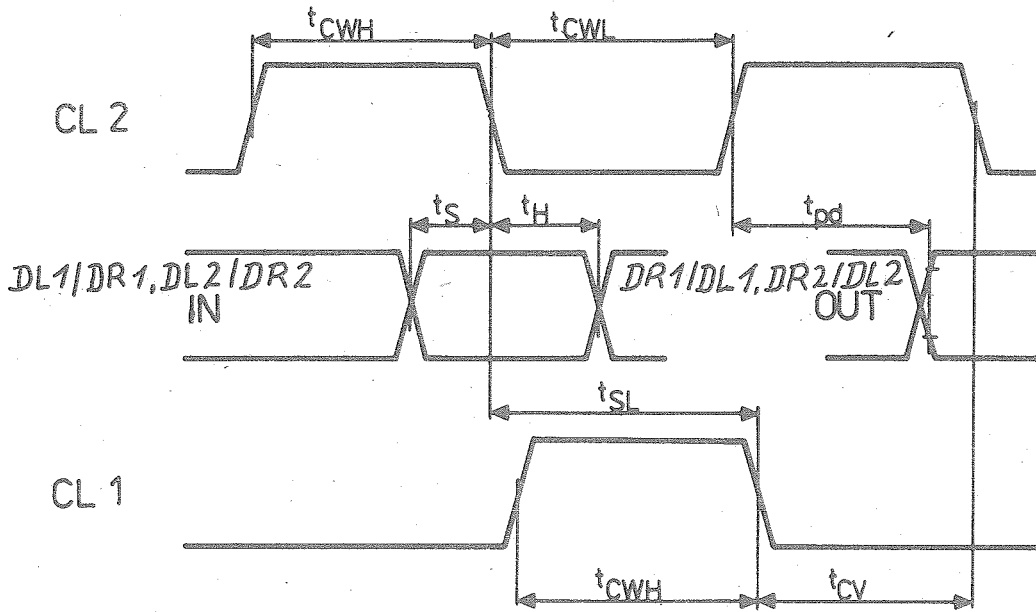
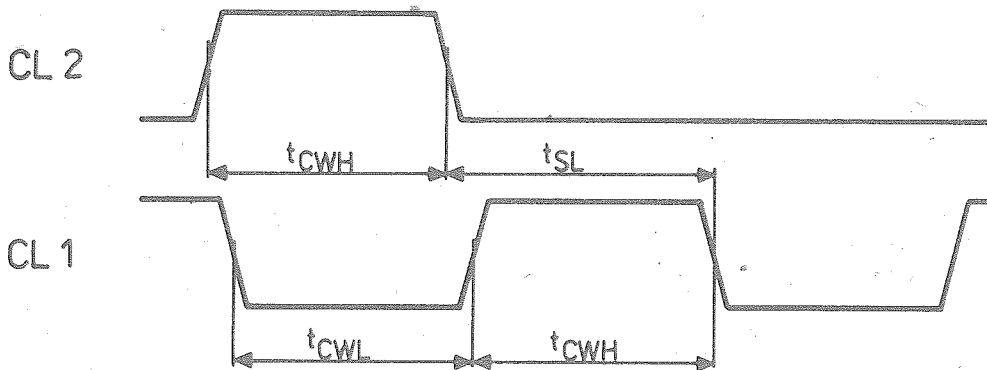
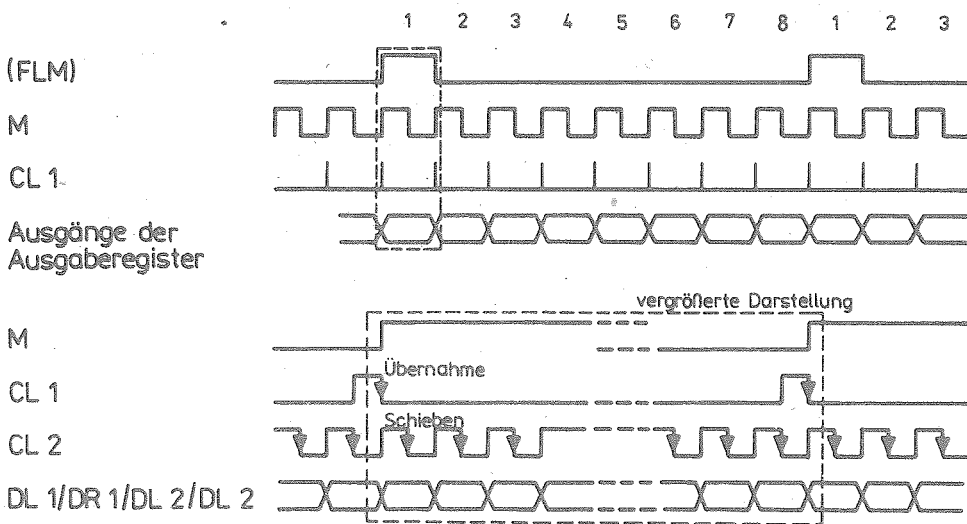


Bild 5: Taktdiagramm für Spaltenansteuerung Block 1 und 2



DL1/DR1, DL2/DR2
entsprechend
Bild 4 und Bild 5

Bild 6: Taktdiagramm Zeilenansteuerung Block 1 und 2



Y1...Y45 Spaltentreiber
8 Zeilen
Signalform A

Bild 7: Beispiel einer Ansteuerung des U 714 PC als Spaltentreiber (Y 1 ... Y 45)

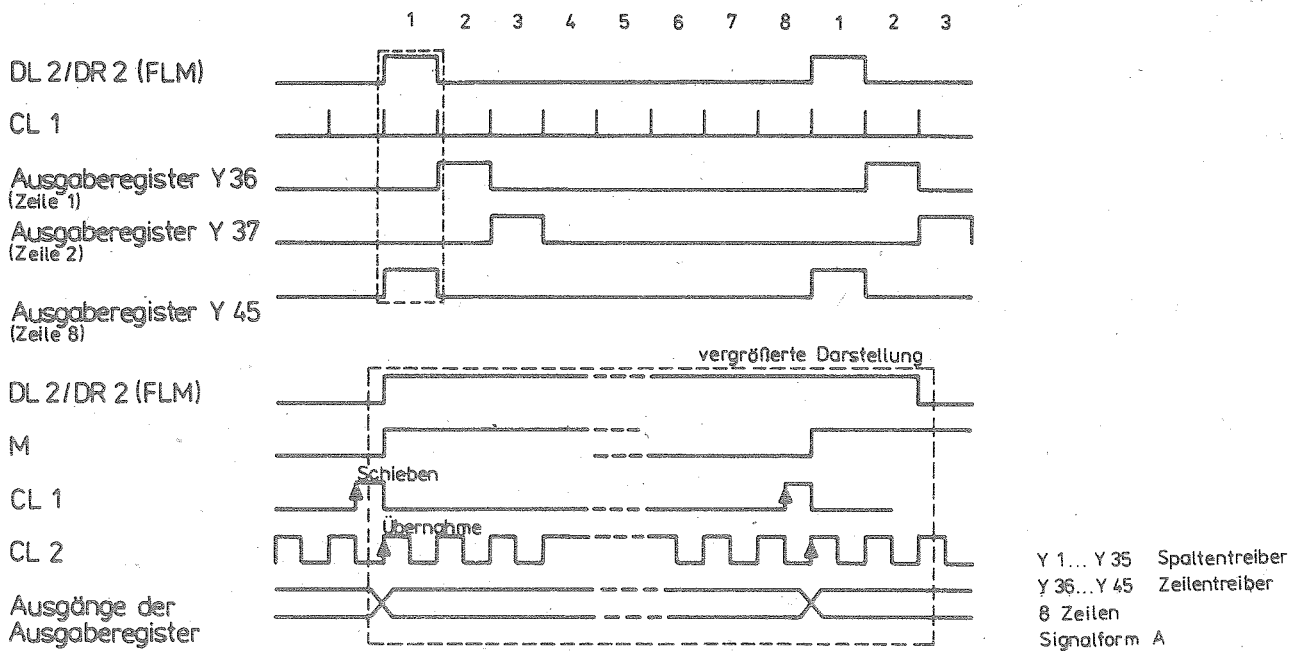


Bild 8: Beispiel einer Ansteuerung des U 714 PC als Zeilen- und Spaltentreiber

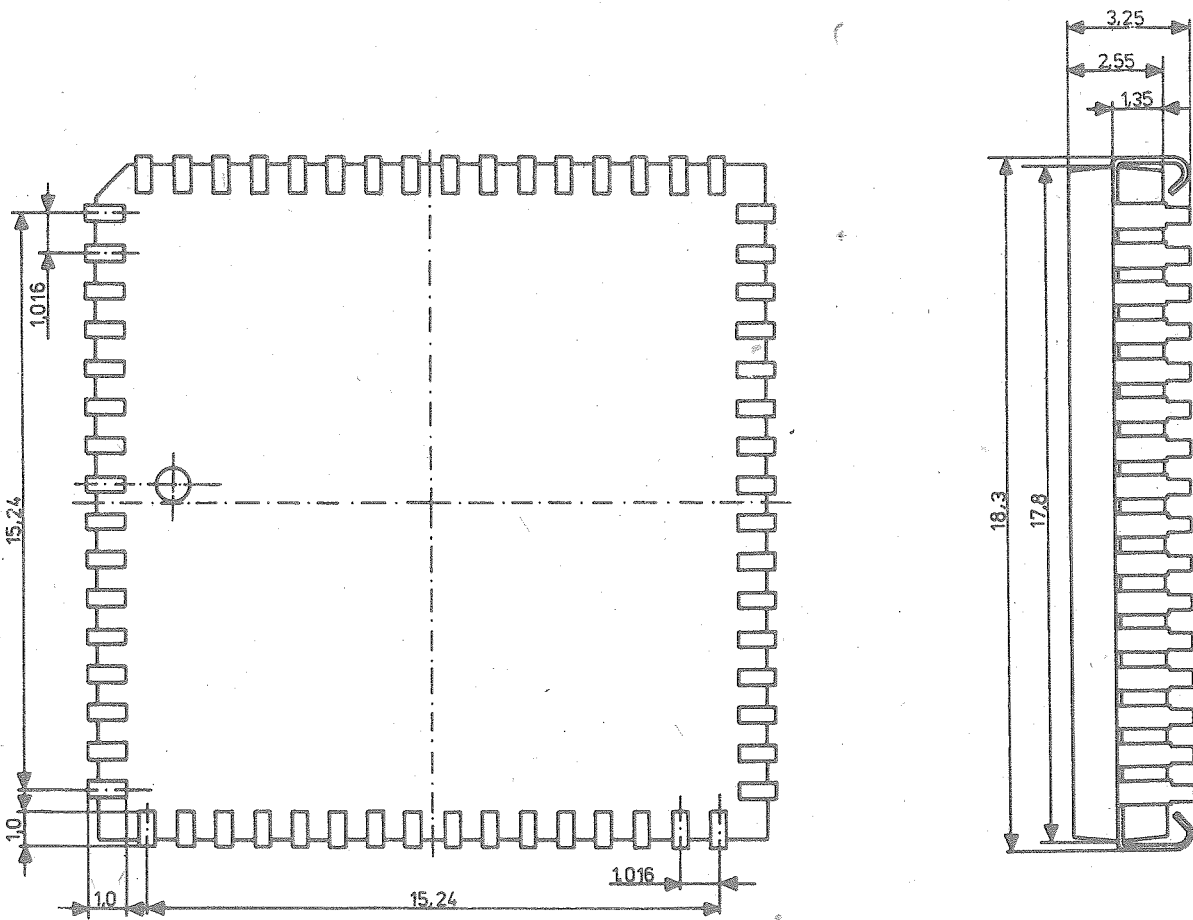


Bild 7: Gehäuseabmessungen (Bauform 51.1.1.2.64 nach TGL 26713)

Dieses Datenblatt gibt keine Auskunft über Liefermöglichkeiten und beinhaltet keine Verbindlichkeiten zur Produktion. Die gültige Vertragsunterlage beim Bezug der Bauelemente ist der Typstandard. Rechtsverbindlich ist jeweils die Auftragsbestätigung.

Änderungen im Zuge der technischen Weiterentwicklung vorbehalten.

Die Behandlungsvorschriften für MOS-Bauelemente müssen unbedingt eingehalten werden, da andernfalls eine Reklamation nicht anerkannt werden kann.

11/86

Die vorliegenden Datenblätter dienen ausschließlich der Information!
Es können daraus keine Liefermöglichkeiten oder Produktionsverbindlichkeiten abgeleitet werden.
Änderungen im Sinne des technischen Fortschritts sind vorbehalten.



Herausgeber

vob applikationszentrum elektronik berlin
im vob kombinat mikroelektronik

Mainzer Straße 25, PF 211

Berlin 1035

Telefon: 5 80 05 21, Telex: 011 2981; 011 3055