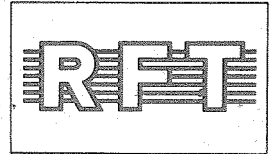


Information



U 804 D

2/87 (11)

Hersteller: VEB Mikroelektronik „Karl Marx“ Erfurt

6fach-Analogwertspeicher und D/A-Wandler

Der U 804 D ist ein mikrocomputersteuerbarer 6fach-Analogwertspeicher mit D/A-Wandlern von je 6 bit Auflösung und pulsbreitenmodulierter Analogwertausgabe in n-Kanal-Silicon-Gate-Technik. Als asynchrone serielle Schnittstelle fungiert der CBUS. Eine Chip-Select-Logik ermöglicht den parallelen Betrieb von max. vier Schaltungen.

Der Einsatz des 6fach-Analogwertspeichers und D/A-Wandlers U 804 D erfolgt in Erzeugnissen der Fernseh- und Rundfunktechnik.

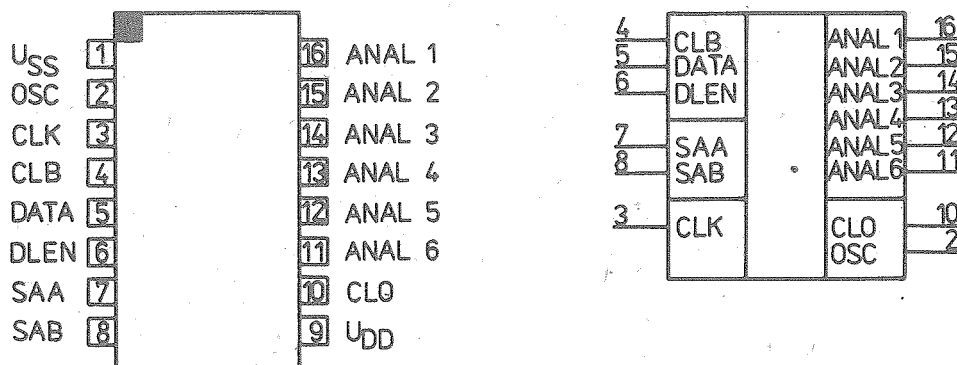


Bild 1: Anschlußbelegung und Schaltungskurzzeichen

Bezeichnung der Anschlüsse:

1	U_{SS}	Bezugspotential	9	U_{DD}	Betriebsspannung
2	OSC	Push-Pull-Oszillator-Ausgang	10	CLO	Open-drain-Oszillator-Ausgang (gepuffert)
3	CLK	Oszillator/Schmitt-Trigger-Eingang	11	ANAL 6	Open-drain-Analogwert-Ausgang
4	CLB	CBUS-Takteingang (asynchron)	12	ANAL 5	Open-drain-Analogwert-Ausgang
5	DATA	CBUS-Dateneingang	13	ANAL 4	Open-drain-Analogwert-Ausgang
6	DLEN	CBUS-Datenfreigabeeingang	14	ANAL 3	Open-drain-Analogwert-Ausgang
7	SAA	Systemadreseingang A	15	ANAL 2	Open-drain-Analogwert-Ausgang
8	SAB	Systemadreseingang B	16	ANAL 1	Open-drain-Analogwert-Ausgang

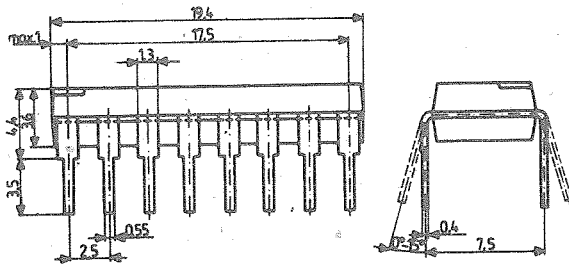


Bild 2: Gehäuseabmessungen

Beschreibung

Die Schaltung U 804 D enthält Analogwertspeicher und D/A-Wandler für 6 Analogfunktionen mit je 6 bit Auflösung. Über einen seriellen Datenkanal, den CBUS, können vier parallel betriebene Schaltungen adressiert und gesteuert werden.

Die Chipadresse kann über zwei Eingänge extern programmiert werden. Ein interner Taktoszillator kann den Analogteil der Schaltung mit einer Frequenz von $f_{CLK} = 30 \text{ kHz} \dots 1 \text{ MHz}$ versorgen.

Die Analogwerte werden als Impulsmuster mit einer Wiederholfrequenz von $f_{CLK}/63$ ausgegeben, wobei das Verhältnis der High-Zeit zur Zykluszeit dem Analogwert entspricht. Durch externe Integration wird eine dem Analogwert proportionale Gleichspannung gewonnen.

Dateneingabeteil

Die Dateneingabe (CBUS) erfolgt seriell über die Eingänge DATA, DLEN und CLB. Mit Hilfe der Taktimpulse an CLB (Clock-Bus) werden während DLEN = H (Data-line-enable) die am Eingang DATA anliegenden Daten eingelesen (sh. Bild 3).

Empfangene Daten werden unter folgenden Bedingungen in den Datenzwischenspeicher übernommen und weiterverarbeitet:

- Während der Datenübertragung (DLEN = H) müssen 12 Taktimpulse am CLB-Eingang empfangen werden* (Wortformatsprüfung).
- Das Startbit muß L = 0 sein.
- Die übertragenen Systemadreibits A und B müssen mit der extern programmierten Schaltungsadresse (SAA, SAB) übereinstimmen ($A \hat{=} SAA$; $B \hat{=} SAB$).

Das Datenwort für den U 804 D besteht aus folgenden Bits (siehe Bild 3):

- Bit 1: Startbit = 0
- Bit 2, 3: Systemadreibits A und B
- Bit 4, 5, 6: Analogwertspeicheradresse
- Bit 7 ... 12: Analogwertdatenbits

Ein Ladeimpuls an CLB bei DLEN = L bewirkt die Übernahme gültiger Daten in den Datenzwischenpeicher und die Weitergabe an den adressierten Analogwertspeicher. Die Datenübernahme erfolgt jeweils an der H/L-Flanke des Bus-Clock-Signals CLB. Die genauen Zeitbedingungen für die CBUS-Signale gehen aus Bild 4 hervor.

Adressieren der Schaltung

Der U 804 D besitzt zwei Adreßeingänge SAA und SAB, deren logische Pegel (L = 0; H = 1) mit den per CBUS empfangenen Systemadreibits (A, B) verglichen werden. Bei Antivalenz eines Bits werden die Restdaten ignoriert.

Adressieren der Analogwertspeicher

Die Adressierung der 6 Analogwertspeicher erfolgt durch die Bits RA, RB und RC im CBUS-Datenwort. Die Adresse wird im Adressenzwischenspeicher abgelegt. Die Adreßvektoren (RA, RB, RC) gleich (0, 0, 0) und (1, 1, 1) sind ungültig und führen zum Ignorieren der folgenden Information.

Adreßbit			Analogwertspeicher	Pinnummer
RA	RB	RC	ANAL n	
0	0	0	(ungültig)	-
1	0	0	ANAL 1	16
0	1	0	ANAL 2	15
1	1	0	ANAL 3	14
0	0	1	ANAL 4	13
1	0	1	ANAL 5	12
0	1	1	ANAL 6	11
1	1	1	(ungültig)	-

Tabelle 1: Adreßzuweisung

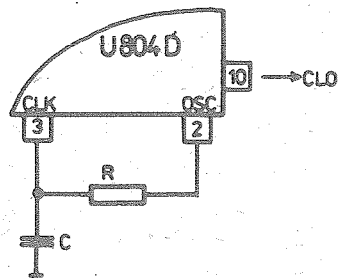
Analogwertsteuerung

Die Übertragung eines Analogwertes erfolgt binär codiert in den Bits 7 ... 12 des CBUS-DATA-Signals.

Bei gültiger System- und Analogwertespeicheradresse erfolgt die Datenübergabe durch eine Handshake-Logik über den Datenzwischenspeicher des Empfangsteils an den Analogteil.

Die Taktbasis für die Analogwertlogik wird durch die Frequenz der extern am Pin CLK anliegenden Spannung bestimmt.

Bei Benutzung des internen Oszillators ist an den Pins CLK und OSC folgende Beschaltung vorgesehen:



Als Richtwert für eine Oszillatorfrequenz von $f_{CLK} = 1 \text{ MHz}$ werden empfohlen:

$$R = 27 \text{ k}\Omega$$

$$C = 27 \text{ pF}$$

Am Open-drain-Ausgang CLO wird das Oszillatorsignal für weitere Anwendungen gepuffert zur Verfügung gestellt.

Der zwischengespeicherte, binär codierte Analogwert wird gem. Tabelle 2 interpretiert.

Datenbits						Tastverhältnis	Bemerkung
LSB			MSB				
0	0	0	0	0	0	0/63	niedrigster Wert
1	0	0	0	0	0	1/63	
0	1	0	0	0	0	2/63	
1	1	1	1	1	0	31/63	Einschaltwert nach AUTORESET
0	1	1	1	1	1	62/63	
1	1	1	1	1	1	63/63	höchster Wert

Tabelle 2: Analogwertzuweisung zum Datenwort

An den Analogausgängen werden die Analogwerte als Impulsmuster mit einer Wiederholfrequenz von $f_{CLK}/63$ zur Verfügung gestellt. Das Verhältnis der High-Zeit zur Zykluszeit entspricht dem eingestellten Analogwert.

Einschalt-AUTORESET

Durch einen internen RESET-Zyklus wird nach dem Zuschalten der Betriebsspannung U_{DD} die gesamte Schaltung initialisiert.

Nach erfolgtem RESET-Zyklus sind alle Analogwerte gleich dem äquivalenten Tastverhältnis von $v_T = 31/63$.

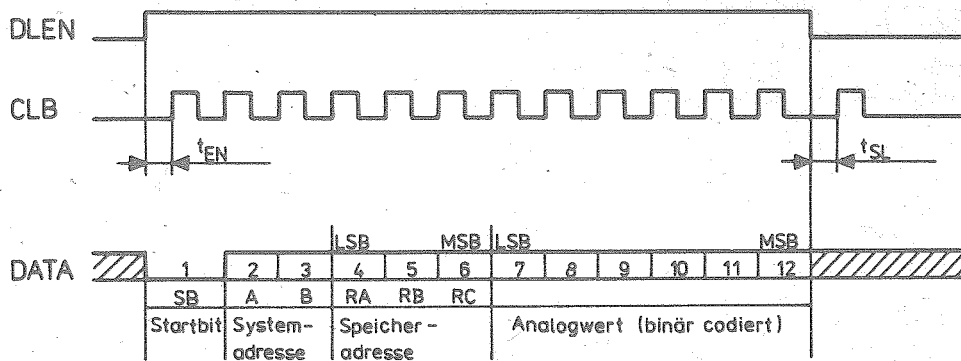


Bild 3: CBUS-Übertragung

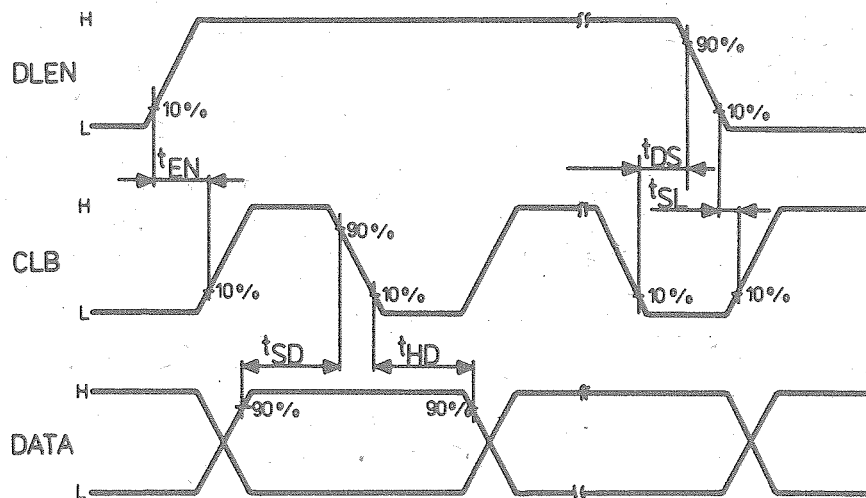


Bild 4: Zeitdiagramm für CBUS-Signale

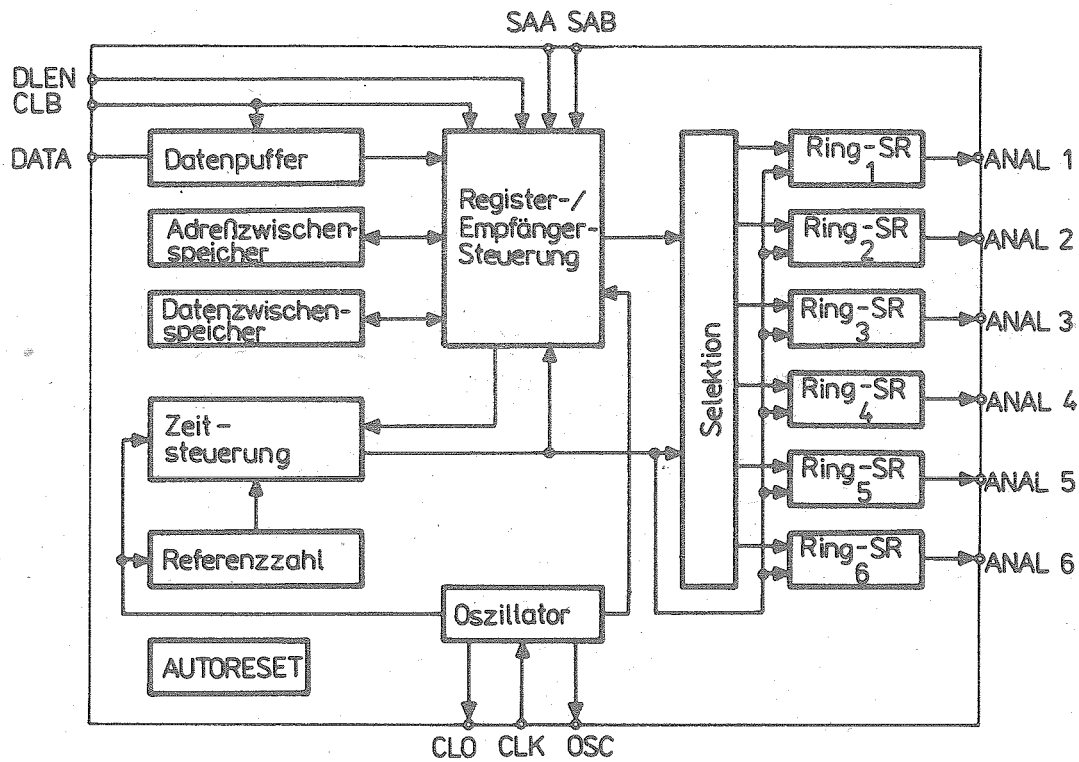


Bild 5: Blockschaltbild

Grenzwerte

Kennwert	Kurzzeichen	min.	max.	Einheit
Betriebsspannung	U_{DD}	-0,3	7,5	V
Eingangsspannung	U_I	0,3	15	V
Eingangsstrom	I_I	-100	+100	μA
Ausgangsspannung	U_O	0	15	V
Ausgangsstrom	I_O	-10	+10	mA
Verlustleistung pro Ausgang	P_O		25	mW
Gesamtverlustleistung	P_{tot}		250	mW
Lagerungstemperatur	ϑ_{stg}	-10	85	$^{\circ}C$
Lastkapazität ANAL 1 ... 6, CLO	C_L		1	nF

Statische Kennwerte($\vartheta_a = 0 \dots 70 \text{ }^\circ\text{C}$; $U_{SS} = 0 \text{ V}$; $U_{DD} = 5 \text{ V}$, falls nicht anders angegeben)

Kennwert	Kurzzeichen	Meßbedingung	min.	max.	Einheit
Betriebsspannung	U_{DD}		4,5	5,5	V
Betriebstemperatur	ϑ_a		0	70	$^\circ\text{C}$
Eingangsspannung L	U_{IL}		-0,3	0,8	V
Eingangsspannung H CLB, DATA, DLEN, SAA, SAB	U_{IH}		2	12	V
Eingangsspannung H CLK	U_{IH}		3,5	12	V
Stromaufnahme	I_{DD}			35	mA
Eingangsreststrom CLB, DATA, DLEN, SAA, SAB, CLK	I_I	$U_I = 0 \dots 12 \text{ V}$		10	μA
Ausgangsspannung L OSC	U_{OL}	$I_O = 0,5 \text{ mA}$		0,8	V
Ausgangsspannung H OSC	U_{OH}	$-I_O = 0,1 \text{ mA}$	3,5		V
Ausgangsspannung L ANAL 1... 6, CLO	U_{OL}	$I_O = 0,5 \text{ mA}$		0,2	V
		$I_O = 6,0 \text{ mA}$		0,7	V
Ausgangsreststrom H ANAL 1 ... 6, CLO	I_{OH}	$U_I = 15 \text{ V}$		35	μA

Dynamische Kennwerte

Kennwert	Kurzzeichen	Meßbedingung	min.	max.	Einheit
Impulsdauer (f_{CLB} ; f_{CLK})	t_H ; t_L		450		ns
Oszillatorfrequenz	f_{CLK}	$R = 27 \dots 1000 \text{ k}\Omega$; $C = 27 \dots 1000 \text{ pF}$	0,03	1	MHz
Anstiegs- und Abfallzeit CLB, CLK	t_r ; t_f			0,1	μs
CBUS-Signal -----					
Setzzeit DATA - CLB		t_{SD}	0,8		μs
Haltezeit DATA - CLB		t_{HD}	0,3		μs

Kennwert	Kurzzeichen	min.	max.	Einheit
Setzzeit DLEN - CLB	t_{EN}	0,4		μs
Setzzeit Ladeimpuls DLEN - CLB	t_{SL}	1		μs
Setzzeit CLB - DLEN	t_{DS}	0,4		μs
Betriebsspannungsanstieg	du_{DD}/dt	0,2	0,5	V/ μs

Dieses Datenblatt gibt keine Auskunft über Liefermöglichkeiten und beinhaltet keine Verbindlichkeiten zur Produktion. Die gültige Vertragsunterlage beim Bezug der Bauelemente ist der Typstandard. Rechtsverbindlich ist jeweils die Auftragsbestätigung.

Änderungen im Zuge der technischen Weiterentwicklung vorbehalten.

Die Behandlungsvorschriften für MOS-Bauelemente sind unbedingt einzuhalten, da andernfalls eine Relamtion nicht anerkannt werden kann.

11/86

Die vorliegenden Datenblätter dienen ausschließlich der Information! Es können daraus keine Liefermöglichkeiten oder Produktionsverbindlichkeiten abgeleitet werden. Änderungen im Sinne des technischen Fortschritte sind vorbehalten.



Herausgeber

veb applikationszentrum elektronik berlin
im veb kombinat mikroelektronik

Mainzer Straße 25, PF 211

Berlin 1035

Telefon: 5 80 05 21, Telex: 011 2981; 011 3055