

SIO

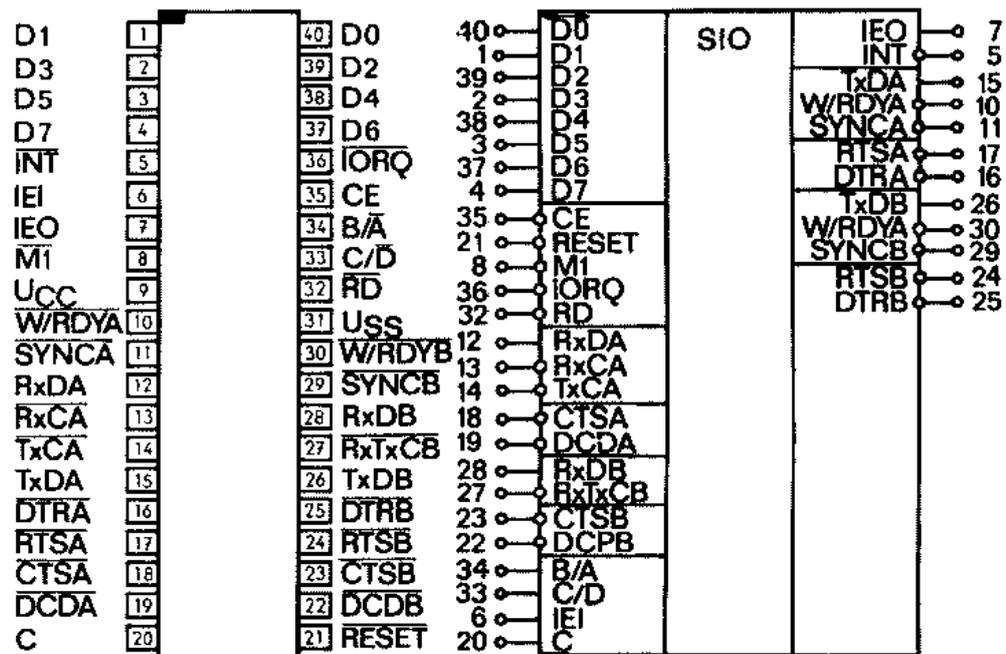
Der integrierte Schaltkreis U 856 D ist ein in n-Kanal-Silicon-Gate-Technologie gefertigter programmierbarer, zweikanaliger Baustein, der Daten in das für serielle Datenübertragung erforderliche Format umsetzt.

Er kann asynchron, synchron und bitorientiert synchron arbeiten. Der U 856 D ist ein Schaltkreis innerhalb des Systems der II. Leistungsklasse und wird in einem 40poligen DIL-Plastgehäuse gefertigt.

Er ist vorwiegend für den Einsatz in Datenverarbeitungsanlagen und Anlagen der Steuerungs- und Regelungstechnik vorgesehen.

Bild 1:

Anschlußbelegung und Schaltungskurzzeichen



Die Anschlüsse haben folgende Funktion:

D0 ... D7	8 bit - bidirektionaler Datenbus
\overline{CE}	Bausteinauswahl, Eingang
\overline{RESET}	Rücksetzen, Eingang
$\overline{M1}$	CPU - Maschinenzyklus M1, Eingang
\overline{IORQ}	CPU-Ein-/Ausgabe-Anforderung, Eingang

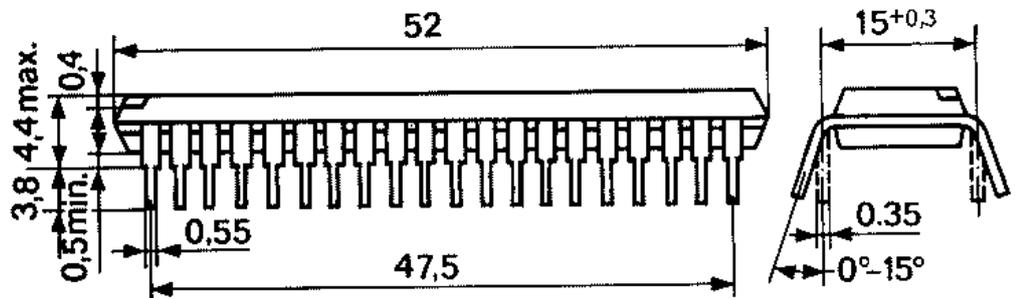
\overline{RD}	CPU-Leseanforderung, Eingang
RxDAx, RxDB	Empfangsdaten, Eingänge
\overline{RxCA} , \overline{RxCB}	Empfängertakte, Eingänge ¹⁾
\overline{TxCA} , \overline{TCB}	Sendertakte, Eingänge ¹⁾
\overline{CTSA} , \overline{CTSB}	Sendebereitschaft, Eingänge

\overline{DCDA} , \overline{DCDB}	Datenträgererkennung, Eingänge
$\overline{B/A}$	Kanalauswahl, Eingang
$\overline{C/D}$	Umschaltung Steuerwort/Datenwort, Eingang
IEI	Interrupt-Freigabe, Eingang
IEO	Interrupt-Freigabe, Ausgang

$\overline{\text{INT}}$	Interrupt-Anforderung, Ausgang	$\overline{\text{W/RDYB}}$	WAIT/READY-Pin (CPU-WAIT, DMA-READY Kanal B), Ausgang	$\overline{\text{SYNCB}}$	Externsynchronisation Kanal B, Ein-/Ausgang
TxDA, TxDB	Sendedaten, Ausgänge	$\overline{\text{SYNCA}}$	Externsynchronisation Kanal A, Ein-/Ausgang	$\overline{\text{RTSA}}, \overline{\text{RTSB}}$	Sendeanforderung
$\overline{\text{W/RDYA}}$	WAIT/READY-Pin (CPU WAIT, DMA-READY Kanal A), Ausgang	C	Systemtakt	$\overline{\text{DTRA}}, \overline{\text{DTRB}}$	Bereitschaft Daten-terminal, Ausgang

1) Empfänger- und Sendertakt Kanal B gemeinsam gebondet, Pin-Bezeichnung RxTxCB

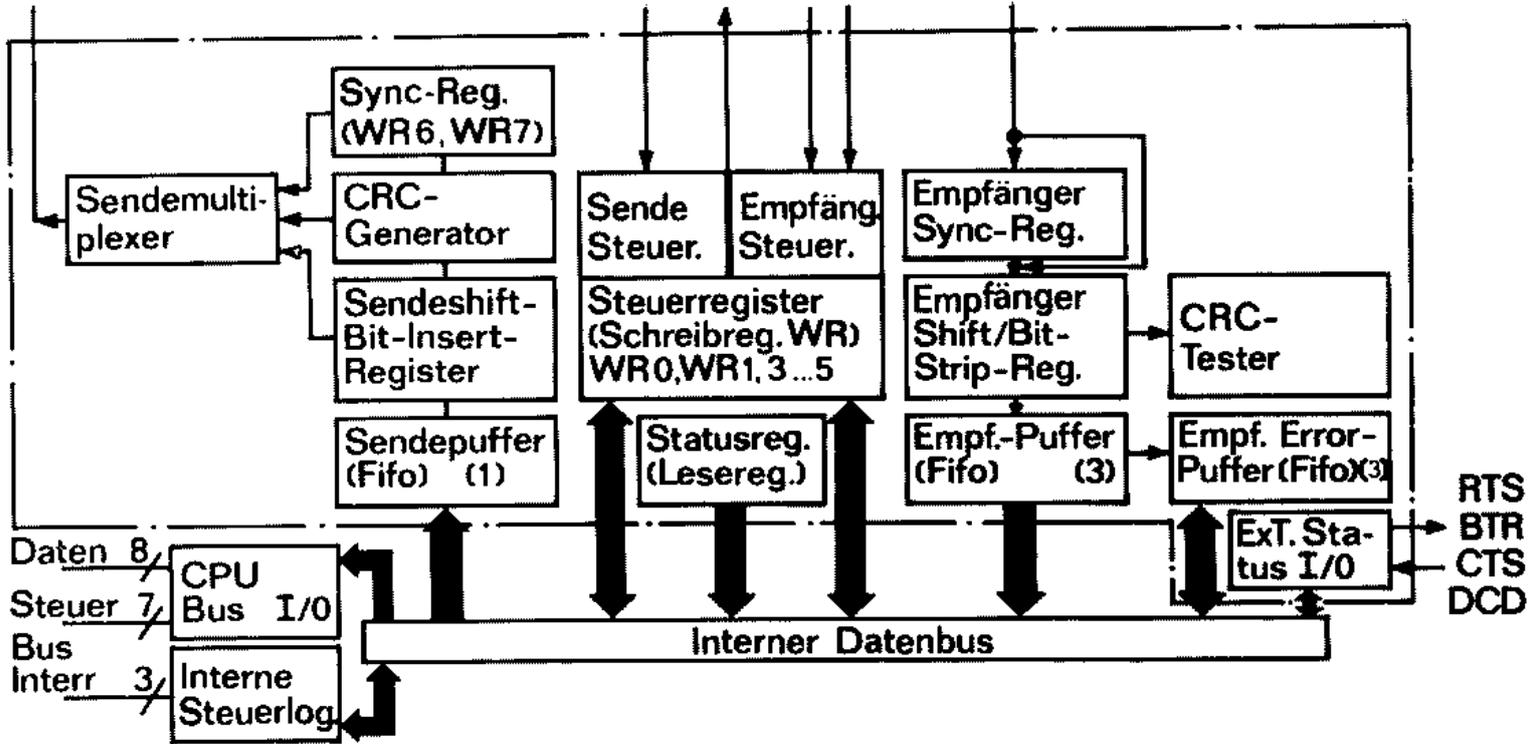
Bild 2:
 Bauform: 21.2.3.2.40
 IGL: 26713
 Masse: 5,4 g



Eigenschaften des U 856 D

- 4 unabhängige serielle Ports: zwei Sender-, sowie Empfänger-ports
- asynchrone oder synchrone Arbeitsweise
- asynchrone Daten mit 5, 6, 7 oder 8 Datenbits, 1, 1½ oder 2 Stoppbits und gerader, ungerader oder keiner Paritäts-erzeugung bzw. Paritätsprüfung
- Paritäts-, Überlauf- und Rahmenfehlererkennung
- Break-Erzeugung und -Erkennung
- alle Eingänge und Ausgänge voll TTL-kompatibel
- Taktvarianten: x1, x16, x32, x64
- Datenübertragungsraten: 0 bis 550 k bit/s
- 4 Eingänge/4 Ausgänge zur MODEM-Steuerung
- volle Fähigkeit zur Arbeit nach HDLC einschließlich Verarbeitung des I-Feld-Restes
- interne oder externe Zeichensynchronisation mit automatischer Einfügung von Synchronisationszeiten und Flags
- Betriebszustand „Adreßerkennung“ bei SDLC/ADLC
- Betriebszustand „Synchronisationsbyteunterdrückung“ bei mono- und bisynchroner Arbeitsweise
- Die hohen Übertragungsraten und die automatische CRC-Erzeugung gestalten die direkte Zusammenschaltung mit Floppy-Disk-Speichern doppelter Dichte, ohne daß direkter Speicherzugriff erforderlich ist
- empfangene Daten und Fehlerregister sind vierfach, zu sendende Daten zweifach gepuffert
- Leistungsfähige Interruptstruktur durch wahlweise festen oder variablen Interruptvektor
- CRC –16 oder CRC –C CITT – (0 und –1) –Prüfpolynom
- gültige empfangene Daten vor Überschreiben geschätzt
- 5 V Einphasentakt und eine einzige 5 V-Gleichspannungsversorgung
- Prioritätslogik durch Kaskadierung der Bausteine

Bild 3:
Struktur eines SIO-Kanals



Grenzwerte: (Bezugspotential $U_{SS} = 0\text{ V}$)	Kurzzeichen	Meßbedingung	min	typ	max	Einheit
Betriebsspannung	U_{CC}		-0,5		7	V
Eingangsspannung	U_I		-0,5		7	V
Betriebstemperatur	θ_a		0		70	$^{\circ}\text{C}$
Lagertemperatur	θ_{stg}		-55		125	$^{\circ}\text{C}$
Verlustleistung	P_V	$\theta_a = 25\text{ }^{\circ}\text{C}$			1,1	W
Statische Kennwerte: ($\theta_a = 0 \dots 70\text{ }^{\circ}\text{C}$; Bezugspotential $U_{SS} = 0\text{ V}$)						
Betriebsspannung	U_{CC}		4,75	5	5,25	V
Eingangsspannung Low	U_{IL}		-0,5		0,8	V
Eingangsspannung High	U_{IH}		-2,0		U_{CC}	V
Takteingangsspannung Low	U_{ILC}		-0,5		0,45	V
Takteingangsspannung High	U_{IHC}		$U_{CC}-0,2$		U_{CC}	V
Ausgangsspannung Low	U_{OL}	$I_{OL} = 1,8\text{ mA}$			0,4	V
Ausgangsspannung High	U_{OH}	$I_{OH} = -0,25\text{ mA}$	2,4			V
Stromaufnahme	I_{CC}	$t_c = 400\text{ ns}$			140	mA
Eingangsreststrom	I_{LI}	$U_I = 0 \dots U_{CC}$			10	μA

Dynamische Kennwerte:
 ($\theta_a = 0 \dots 70^\circ\text{C}$,
 $U_{\text{GC}} = 4,75 \dots 5,25 \text{ V}$;
 Bezugspotential $U_{\text{SS}} = 0 \text{ V}$)

Taktperiode

High-Breite des Taktes

Low-Breite des Taktes

Anstiegs- und Abfallzeiten
 des Taktes

Kurzzeichen	Meßbedingung	min	typ	max	Einheit
t_c		400		1) 2000	ns
$t_w(\text{CH})$		180		2000	ns
$t_w(\text{CL})$		180		2000	ns
t_r t_f				30	ns

1) $t_c = t_w(\text{CH}) + t_w(\text{CL}) + t_r + t_f$